

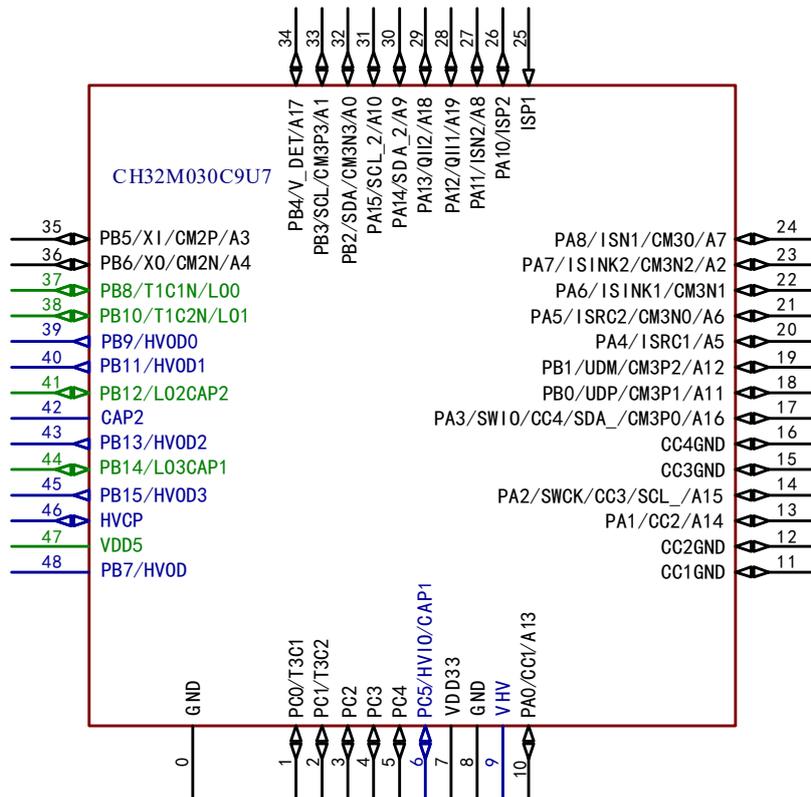
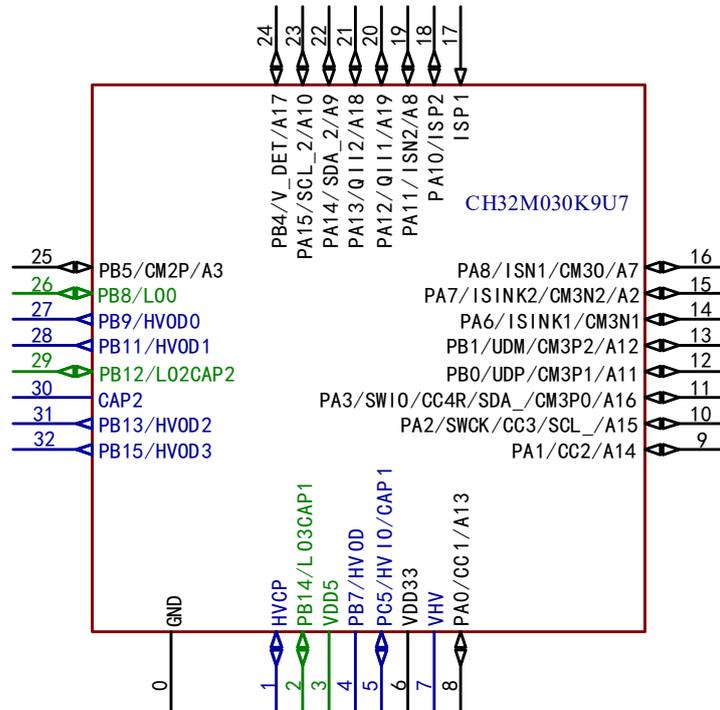


CH32M030数据手册2

V1.2

1、引脚信息

1.1 引脚排列



注：引脚图中复用功能均为缩写。

示例：A:ADC_ (A13:ADC_IN13)

T:TIM_ (T2C4:TIM2_CH4, T1C1N:TIM1_CH1N, T1BK:TIM1_BK1N)

CM3:CM3P_ (CM3P2:CM3P2_P2, CM3N2:CM3P2_N2)

CM2:CM2P_ (CM2P:CM2P_P, CM2N:CM2P_N)

SWCK:SWCLK

SWIO:SWDIO

1.2 引脚定义

表1-1 引脚定义

引脚编号		引脚名称	引脚类型 ⁽¹⁾	I/O特性 ^{(1) (3)}	主功能(复位后)	默认复用功能	重映射功能 ⁽²⁾
K9U7	C9U7						
0	0	GND	P	-	GND		
32	45	PB15	O	HVOD	PB15	H03	TIM1_CH3_2/TIM1_CH4_1/ TIM2_CH2_2 ⁽⁵⁾ /TIM3_CH2_4
1	46	HVCP	P	-	HVCP		
2	44	PB14	I/O	MV/PD	PB14	L03	TIM1_CH3N_2/TIM2_CH4_2/ TIM2_CH2N_2/TIM3_CH2N_4
3	47	V _{DD5}	P	-	V _{DD5}		
-	8	GND	P	-	GND		
4	48	PB7	O	HVOD	PB7		
5	6	PC5	I/O	HV	PC5		TIM1_CH4_3/ TIM2_CH2_2 ⁽⁵⁾
6	7	V _{DD33}	P	-	V _{DD33}		
7	9	V _{HV}	P	-	V _{HV}		
8	10	PA0 ⁽⁴⁾	I/O/A	-	PA0	ADC_IN13/CC1 /SPI_NSS	TIM1_CH3_3/TIM1_CH4_4/ SPI_NSS_2
9	13	PA1 ⁽⁴⁾	I/O/A	-	PA1	ADC_IN14/CC2 /SPI_SCK	TIM1_CH4_4/SPI_SCK_2/ SPI_SCK_3
10	14	PA2 ⁽⁴⁾	I/O/A	-	PA2	ADC_IN15/SWCLK/CC3	TIM3_CH1_ETR_3/ UART_RX_4/UART_TX_5/ UART_CTS_2/I2C_SCL_1/ I2C_SCL_3/SPI_NSS_1/ SPI_NSS_3
11	17	PA3 ⁽⁴⁾	I/O/A	-	PA3	ADC_IN16/SWDIO/ SWIM/CC4R/CMP3_P0	TIM2_CH1_ETR_1/ UART_RX_5/UART_TX_4/ I2C_SDA_3
12	18	PB0	I/O/A	-	PB0	ADC_IN11/UDP/ CMP3_P1	TIM2_CH2_1/UART_RX_3
13	19	PB1	I/O/A	-	PB1	ADC_IN12/UDM/ CMP3_P2	TIM2_CH3_1/TIM2_CH3_3/ TIM2_CH1N_1/TIM2_CH1N_3/ UART_TX_3
14	22	PA6	I/O/A	-	PA6	TIM2_CH2/CMP3_N1/ ISINK1	
15	23	PA7	I/O/A	-	PA7	ADC_IN2/TIM2_CH3/ TIM2_CH1N/CMP3_N2/ ISINK2	
16	24	PA8	I/O/A	-	PA8	ADC_IN7/MCO/ CMP3_OUT0/ISN1	SPI_MOSI_3

17	25	ISP1	A	-	ISP1		
18	26	PA10	I/O/A	-	PA10	ISP2	
19	27	PA11	I/O/A	-	PA11	ADC_IN8/ISN2	SPI_MOSI_2
20	28	PA12	I/O/A	-	PA12	ADC_IN19/QI11	
21	29	PA13	I/O/A	-	PA13	ADC_IN18/QI12	TIM1_BKIN_1
22	30	PA14	I/O/A	-	PA14	ADC_IN9/ADC_ETR/ UART_CTS/Q_DET1	UART_CTS_1/I2C_SDA_2
23	31	PA15	I/O/A	-	PA15	ADC_IN10/TIM1_BKIN /UART_RTS/RST ⁽⁷⁾ /Q_DET2	TIM1_BKIN_2/TIM1_BKIN_3/ TIM1_BKIN_4/UART_RTS_1/ I2C_SCL_2
24	34	PB4 ⁽⁶⁾	I/O/A	-	PB4	ADC_IN17/CMP3_OUT1 /V_DET	TIM3_CH1N_2
25	35	PB5	I/O/A	-	PB5	ADC_IN3/XI/ CMP3_OUT2/CMP2_PO	TIM3_CH2N_2/TIM3_CH2_3/ TIM2_CH1_ETR_3/ UART_RX_2/SPI_MOSI_1
26	37	PB8	I/O	MV/PD	PB8	L00/TIM1_CH1N	TIM1_CH1N_1/TIM1_CH1N_2/ TIM1_CH1N_4
27	39	PB9	0	HVOD	PB9	H00/TIM1_CH1	TIM1_CH1_1/TIM1_CH1_2/ TIM1_CH1_4
28	40	PB11	0	HVOD	PB11	H01/TIM1_CH2	TIM1_CH2_1/TIM1_CH2_2/ TIM1_CH2_4
29	41	PB12	I/O	MV/PD	PB12	L02/TIM1_CH3N	TIM1_CH3N_1/TIM1_CH3N_4/ TIM2_CH3_2/TIM2_CH1N_2/ TIM3_CH1N_4
30	42	CAP2	P	-	CAP2		
31	43	PB13	0	HVOD	PB13	H02/TIM1_CH3	TIM1_CH3_1/TIM1_CH3_4/ TIM2_CH1_ETR_2/ TIM3_CH1_ETR_4
-	3	PC2	0	-	PC2		
-	20	PA4	0	-	PA4		
-	1	PC0	I/O	-	PC0	TIM1_CH4/RST ⁽⁷⁾ TIM3_CH1_ETR/ UART_RX	TIM1_CH3N_3/TIM1_CH3N_4/ TIM3_CH1_ETR_1
-	2	PC1	I/O	-	PC1	TIM1_ETR/TIM3_CH2/ UART_TX	TIM1_ETR_1/TIM1_CH2N_3/ TIM1_CH2N_4/TIM3_CH1N_1/ UART_TX_1
-	4	PC3	I/O	-	PC3	SPI_MOSI	TIM1_CH1_3/TIM1_CH1_4
-	5	PC4	I/O	-	PC4	SPI_MISO	TIM1_CH2_3/TIM1_CH2_4/ SPI_MISO_2
-	11	CC1GND ⁽⁸⁾	P	-	CC1GND		
-	12	CC2GND ⁽⁸⁾	P	-	CC2GND		
-	15	CC3GND ⁽⁸⁾	P	-	CC3GND		
-	16	CC4GND ⁽⁸⁾	P	-	CC4GND		

-	21	PA5	I/O/A	-	PA5	ADC_IN6/ TIM2_CH1_ETR/ CMP3_NO/ISOURCE2	
-	32	PB2	I/O/A	-	PB2	ADC_IN0/TIM3_CH1N/ I2C_SDA/CMP3_N3	TIM2_CH4_1/TIM2_CH4_3/ TIM2_CH2N_1/TIM2_CH2N_3/ TIM3_CH1_ETR_2/ TIM3_CH2_1/UART_CTS_3/ UART_CTS_4/UART_CTS_5
-	33	PB3	I/O/A	-	PB3	ADC_IN1/TIM3_CH2N/ I2C_SCL/CMP3_P3	TIM3_CH2_2/TIM3_CH2N_1/ UART_RTS_3/UART_RTS_4/ UART_RTS_5
-	36	PB6	I/O/A	-	PB6	ADC_IN4/X0/CMP2_NO	ADC_ETR_1/TIM2_CH2_3/ TIM3_CH2N_3/UART_TX_2/ I2C_SDA_1/SPI_SCK_1
-	38	PB10	I/O	MV/PD	PB10	LO1/TIM1_CH2N	TIM1_CH2N_1/TIM1_CH2N_2/ TIM1_CH2N_4

注1: 表格缩写解释:

I = TTL/CMOS电平斯密特输入, 支持 V_{DD33} 电压范围的输入;

O = CMOS电平三态输出, 支持 V_{DD33} 电压范围的输出;

P = 电源;

MV = 预驱动电压引脚, 支持 V_{DD5} 电压范围的输入和输出;

HV = 高压引脚, 支持 V_{HV} 电压范围的输入和输出;

HVOD = 高压引脚, 支持 V_{HV} 和 V_{HVCP} 电压范围的开漏输出;

PD = 内置不可关闭的下拉电阻;

A = 模拟信号输入或输出, 支持 V_{DD33} 电压范围。

注2: 重映射功能下划线后的数值表示AFIO寄存器中相对应位的配置值。例如: SPI_MOSI_2表示AFIO寄存器相应位配置为10b。

注3: 除PB7~PB15和PC5外, 所有GPIO引脚都支持可控上拉。PB0和PB1内置默认开启、可以调节、可以关闭的下拉电阻, 并可提供下拉电流; CC1/CC2/CC3/CC4如果有后缀R则表示内置Type-C规范定义的可控Rd下拉电阻, 默认开启; PA3/CC4R引脚内置可控Rd下拉电阻; PB12、PB14内置不可关闭的下拉电阻; 除此之外的GPIO引脚均未内置下拉电阻。

注4: 当 $V_{HV} < 5V$ 且PA0~PA3作为ADC输入通道或GPIO推挽输出时, 其电压范围约为 $0V \sim (V_{DD33} - 1.7V)$ 。

注5: 当寄存器AFIO_PCFR1的bit[11:10]TIM2_RM = 10且TIM2_CTLR1的bit[12]CH2_PWMOUT_EN = 1时, TIM2_CH2的PWM输出改为PC5引脚输出。

注6: 当PB4作为 V_{HV} 分压监测功能使用时, 输入电压须不超过 $V_{DD33} - 0.9V$ 。

注7: 对于复位引脚, 其位置选择由用户字配置位RST_PIN_SEL控制。当位RST_PIN_SEL = 1时, PA15为复位引脚; 当位RST_PIN_SEL = 0时, PC0为复位引脚。

注8: CC1GND、CC2GND、CC3GND、CC4GND接地时分别开启CC1、CC2、CC3、CC4的默认Rd下拉电阻, 悬空时不启用。上述CCxGND引脚抗ESD性能较弱, 注意保护。

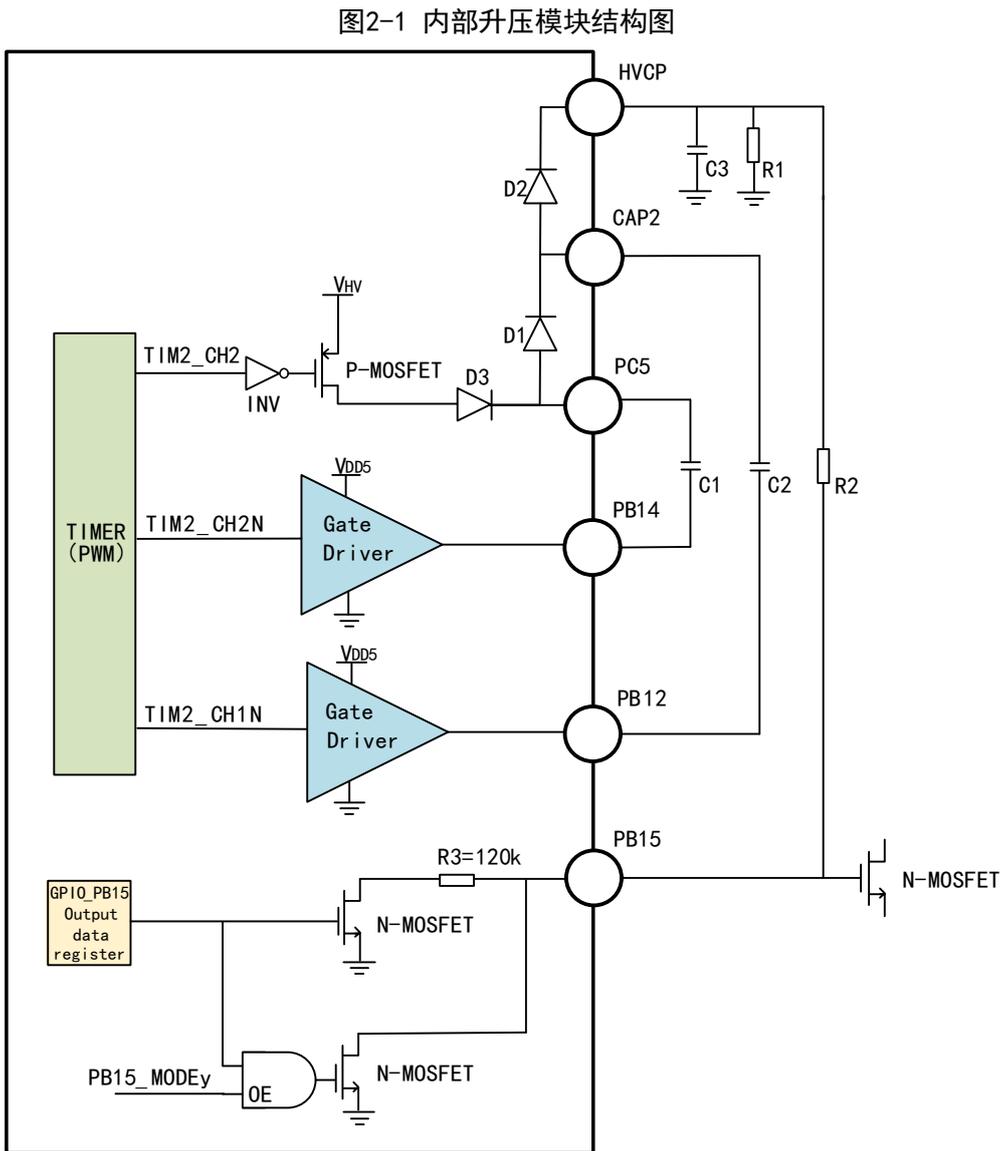
2、功能概述

2.1 升压模块

CH32M030K9U的升压模块包含2级电荷泵，第一级电荷泵由PB14推挽输出驱动，需要外接电容C1；第二级电荷泵由PB12推挽输出驱动，需要外接电容C2。提升后的电压 V_{HVCP} 相当于 V_{HV} 加两倍 V_{DD5} ，从HVCP引脚输出，需要外接储能电容C3，电阻R1为可选的关机放电电阻。

CH32M030K9U提供了5个高压开漏输出引脚PB7、PB9、PB11、PB13、PB15，支持 V_{HVCP} 电压范围。其中PB9、PB11、PB13、PB15各自具有两级开漏输出驱动能力，一级是常规驱动，另一级是内部串联电阻后的限流驱动，可以用于与外部上拉电阻R2分压产生非满幅电压输出。

下图为升压模块和高压开漏输出引脚PB15内部结构图。



注 1: C1、C2、C3、R1、R2 为芯片外部器件。

注 2: PB9、PB11、PB13 内部结构参考 PB15。

注 3: N-MOSFET 为片外 N 型 MOSFET 功率管。

3、电气参数

3.1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	105	°C
T_S	存储时的环境温度	-40	150	°C
V_{HV-GND}	外部主供电电压 (V_{HV})	-0.3	30	V
$V_{DD5-GND}$	内部低压调压器和MV I/O引脚的供电电压 (V_{DD5})	-0.3	7	V
$V_{DD33-GND}$	普通I/O引脚和模拟部分的电源电压 (V_{DD33})	-0.3	3.8	V
V_{IN}	HV高压I/O引脚PC5上的输入电压	-0.3	$V_{HV}+7$	V
	HV高压I/O引脚PB7上的电压	-0.3	40	V
	HVOD (PB9/PB11/PB13/PB15) 引脚上的电压	-0.3	40	V
	耐高压I/O引脚CCx上的输入电压 (可能有漏电)	-0.3	28	V
	普通I/O引脚上的输入电压	-0.3	$V_{DD33}+0.3$	V
V_{HVCP}	HVCP引脚上的电压	-0.3	40	V
$V_{ESD (HBM)}$	对外引脚USB和PD的ESD静电放电电压 (HBM)	4K		V
	CCxGND引脚的ESD静电放电电压 (HBM)	0.5K		V
	其它引脚的ESD静电放电电压 (HBM)	2K		V
I_{VHV}	所有 V_{HV} 引脚连续输入电流 (供应电流)		60	mA
I_{GND}	所有GND公共地引脚的合计总电流 (流出电流)		200	mA
I_{IO}	HV高压I/O引脚上的灌电流或源电流		+/-5	mA
	其它普通I/O引脚上的sink灌电流或source源电流		+/-30	mA
$I_{INJ (PIN)}$	HSE的XI引脚		+/-4	mA
	其它引脚的注入电流		+/-4	mA
$\Sigma I_{INJ (PIN)}$	所有IO和控制引脚的总注入电流		+/-20	mA

3.2 高压开漏引脚 PB9/PB11/PB13/PB15 和 HVCP 引脚静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD5}	高压调压器的输出电压 (V_{DD8_SEL} 必须为00)	$V_{HV} \geq 5.8V$	4.9	5.0	5.1	V
V_{HVCP}	HVCP电荷泵提升电压值	1级电荷泵, 负载电流 < 0.5mA	$V_{DD5}-0.7$		V	
		2级电荷泵, 负载电流 < 0.5mA	$V_{DD5}*2-1.5$		V	
	HVCP引脚电压	2级电荷泵, 负载电流 < 0.5mA, $V_{DD5} = 5V$	$V_{HV}+8$	$V_{HV}+8.5$	$V_{HV}+9$	V
		2级电荷泵, 负载电流 = 3mA, $V_{DD5} = 5V$	$V_{HV}+7$	$V_{HV}+8$	$V_{HV}+9$	V
		$V_{HV} \leq 29V, V_{DD5} = 5V$		$V_{HV}+8.5$	38	V
I_{HVCP}	HVCP负载电流		500	3000	uA	
V_{ODHV}	高压开漏引脚不输出时的引脚耐压		37	38	V	

R_{ODR}	高压开漏引脚内部串联电阻	100	120	145	$K\Omega$
-----------	--------------	-----	-----	-----	-----------

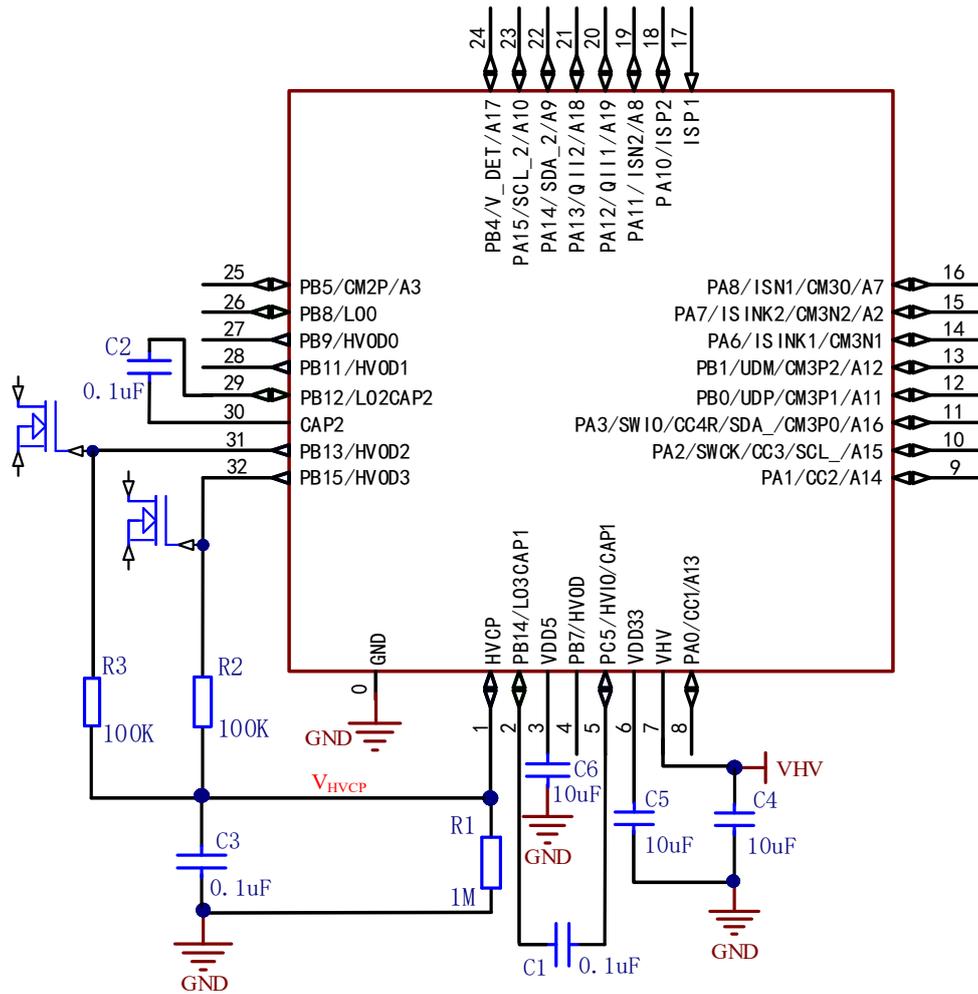
3.3 高压开漏引脚 PB9/PB11/PB13/PB15 输出驱动电流特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{ODSINK}	引脚输出低电平的灌电流	OE = 1, 引脚电压 = 0.4V	250	450	650	μA
		OE = 0, 引脚电压 = 12V	77	100	130	μA
		OE = 0, 引脚电压 = 18V	115	150	195	μA
	引脚输出低电平的短路电流	OE = 1, 引脚电压 = 36V		5		mA
		OE = 0, 引脚电压 = 36V	230	300	390	μA

3.4 高压开漏引脚 PB9/PB11/PB13/PB15 输出电压特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{ODOL}	引脚输出低电平的电压	OE = 1, 灌电流 = 350 μA		0.3	0.5	V
		OE = 0, 灌电流 $I_{ODS} < 200\mu A$		$I_{ODS} * R_{ODR}$		V

4、升压和高压开漏驱动应用



(一)、建议 $C1=C2=C3=0.01\mu\text{F}\sim 0.1\mu\text{F}$, $R1=1\text{M}\Omega$, $R2$ 、 $R3$ 可根据实际应用所需分压选择阻值。

(二)、配置 FLASH_CTLR2 寄存器的 $VDD8_SEL=00$ (默认值), $V_{DD5}=5\text{V}$ 。

(三)、开启 HVCP 升压。

- 1) 配置 TIM2_CTLR1 寄存器 $\text{CH2_PWMOUT_EN}=1$, 将定时器通道 2 的 PWM 从 PC5 输出;
- 2) 配置 TIM2 为 PWM 输出模式, PWM 周期可设为 $1\mu\text{s}$ 到 $5\mu\text{s}$;
- 3) 配置 TIM2_CH1CVR 和 TIM2_CH2CVR 寄存器位相同值, 配置 TIM2_DTCR 寄存器 DT2_P 位为 1;
- 4) 配置 TIM2_DTCR 寄存器中 DT2 , 使下降沿死区时间约为 100ns , 并使能 $\text{OC2N_EN}=1$, 开启互补功能, 实现 PC5、PB14 输出带死区的互补信号; 使能 $\text{OC1N_EN}=1$ 、 $\text{DT1N_P}=1$, 实现 PB12、PB14 输出不带死区互补信号;
- 5) 配置 GPIOx_CFGLR 寄存器, PC5、PB14、PB12 为复用推挽输出模式;
- 6) 如果设置 PC5 为输入模式 (三态高阻), 则关闭升压, 电阻 $R1$ 用于放电。

(四)、如果需要控制开漏输出, 那么 PB7 直接驱动, PB9、PB11、PB13、PB15 可选两个驱动级别, 系统复位后默认均为高阻输出, 以下设置以 PB15 为例。

- 1) 直接驱动, 配置 GPIOx_CFGLR 寄存器, PB15 为通用推挽输出模式。
 - a. 配置 GPIOx_OUTDR 寄存器, $\text{bit}15=0$ (默认值), 此时, PB15 输出高阻;
 - b. 配置 GPIOx_OUTDR 寄存器, $\text{bit}15=1$, 此时, PB15 直接输出低电平。
- 2) 分压驱动, 配置 GPIOx_CFGLR 寄存器, PB15 为输入模式。
 - a. 配置 GPIOx_OUTDR 寄存器, $\text{bit}15=0$ (默认值), 此时, PB15 输出高阻;

b. 配置 GPIOx_OUTDR 寄存器, bit15=1, 此时, PB15 串联 120K Ω 输出低电平, 与外部上拉电阻分压产生特定电压。

3) 片外 MOSFET 功率管的栅源压差越大, 则其导通内阻越小。产生非满幅的分压输出主要用于降低对外驱动电压, 满幅电压输出或者分压输出都要分别计算驱动过程中片外功率管的栅极和源极的压差 (不是单看栅极电压), 确保不要超过功率管的栅源长期耐压, 一般建议不超过功率管手册栅源 V_{GS} 最大值的 65%, 提供两种驱动电压是为了方便根据当前应用的源极电压动态选择匹配的栅极电压。

5、封装及订货信息

5.1 芯片封装

封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN32	4*4mm	0.4mm	15.7mil	四边无引线32脚	CH32M030K9U7
QFN48	5*5mm	0.35mm	13.8mil	四边无引线48脚	CH32M030C9U7

说明：尺寸标注的单位是mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 或者 $\pm 10\%$ 两者中的较大值。

图5-1 QFN32封装

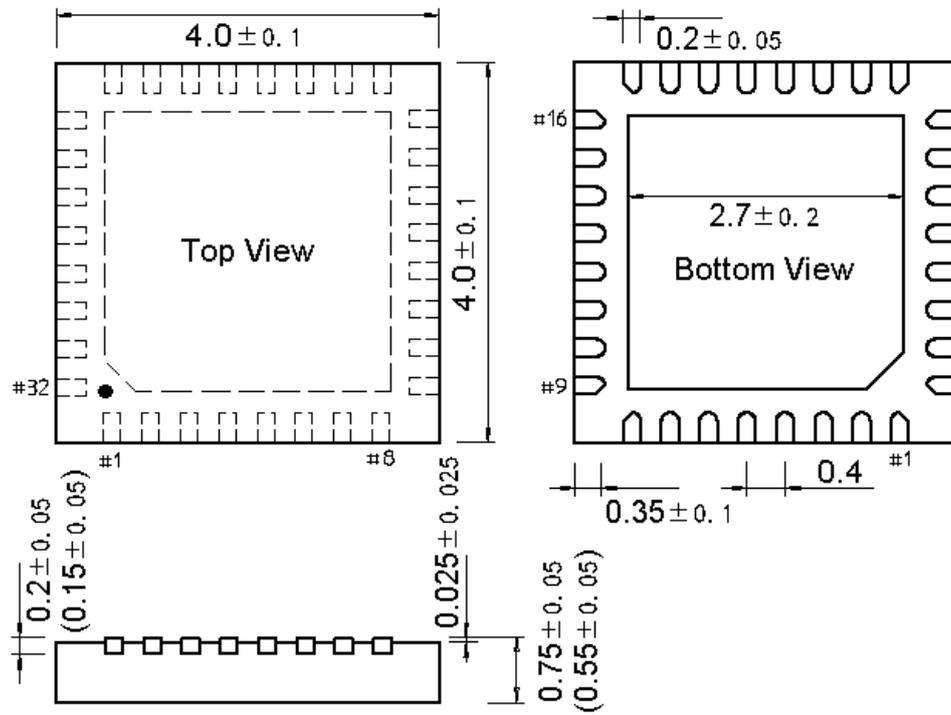


图5-2 QFN48封装

