ADS9813 具有集成模拟前端的 18 位、2MSPS、8 通道、同步采样 ADC

1 特性

- 具有模拟前端的 8 通道 18 位 ADC：
  - 同步采样
  - 恒定的 1MΩ 输入阻抗前端
- 可编程模拟输入范围：
  - ±12V、±10V、±7V、±5V、±3.5V 和 ±2.5V
  - 单端和差分输入
  - 共模电压范围：±12V
  - 输入过压保护：高达 ±18V
- 用户可选模拟输入带宽：
  - 22.7kHz 和 700kHz
- 集成低漂移精密基准：
  - ADC 基准：4.096V
  - 用于外部电路的 2.5V 基准输出
- 最大吞吐量时具有出色的交流和直流性能：
  - DNL：±0.35LSB，INL：±0.8LSB
  - SNR：90.3dBFS，THD：-113dB
- 电源：
  - 模拟和数字：5V 和 1.8V
  - 数字接口：1.2V 至 1.8V
- 温度范围：-40°C 至 +125°C

2 应用

- 半导体测试
- 可编程直流电源
- 参数测量单元 (PMU)

3 说明

ADS9813 是一款基于同步采样 18 位逐次逼近寄存器 (SAR) 模数转换器 (ADC) 的八通道数据采集 (DAQ) 系统。ADS9813 的每个通道都具有一个完整的模拟前端 (AFE)，其中包含输入钳位。该器件还具有 1MΩ 输入阻抗和一个具有用户可选带宽选项的可编程增益放大器 (PGA)。高输入阻抗特性允许直连传感器和变压器，因此无需使用外部驱动器电路。ADS9813 可配置为 ±12V、±10V、±7V、±5V、±3.5V 和 ±2.5V 双极输入，以及高达 ±12V 的输入共模电压。

凭借支持 1.2V 至 1.8V 运行的数字接口，无需外部电压电平转换器即可使用 ADS9813。

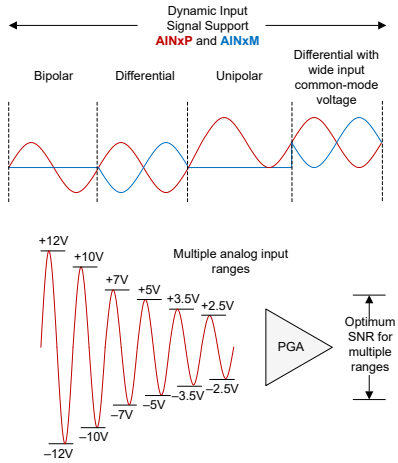
封装信息

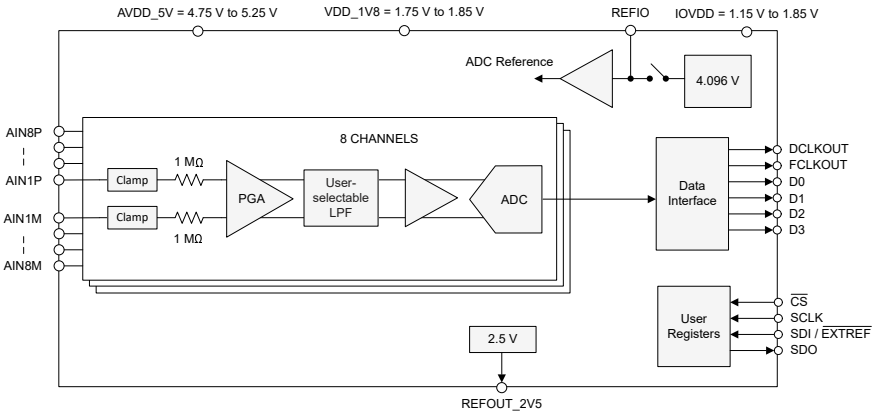
器件型号	封装(1)	封装尺寸(2)
ADS9813、ADS9811、ADS9810	RSH（VQFN，56）	7mm × 7mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

器件信息

器件型号	SPEED	总功耗
ADS9813	2MSPS/通道	244mW
ADS9811、ADS9810	1MSPS/通道	177mW





器件方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 时序要求.....11
5.7 开关特性.....12
5.8 时序图.....12
5.9 典型特性.....15
6 详细说明.....21
6.1 概述.....21
6.2 功能方框图.....21
6.3 特性说明.....22
6.4 器件功能模式.....32
6.5 编程.....34
7 寄存器映射.....38
7.1 寄存器组 0.....38
7.2 寄存器组 1.....41
7.3 寄存器组 2.....53
8 应用和实施.....54
8.1 应用信息.....54
8.2 典型应用.....54
8.3 电源相关建议.....57
8.4 布局.....58
9 器件和文档支持.....59
9.1 接收文档更新通知.....59
9.2 支持资源.....59
9.3 商标.....59
9.4 静电放电警告.....59
9.5 术语表.....59
10 修订历史记录.....59
11 机械、封装和可订购信息.....59

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

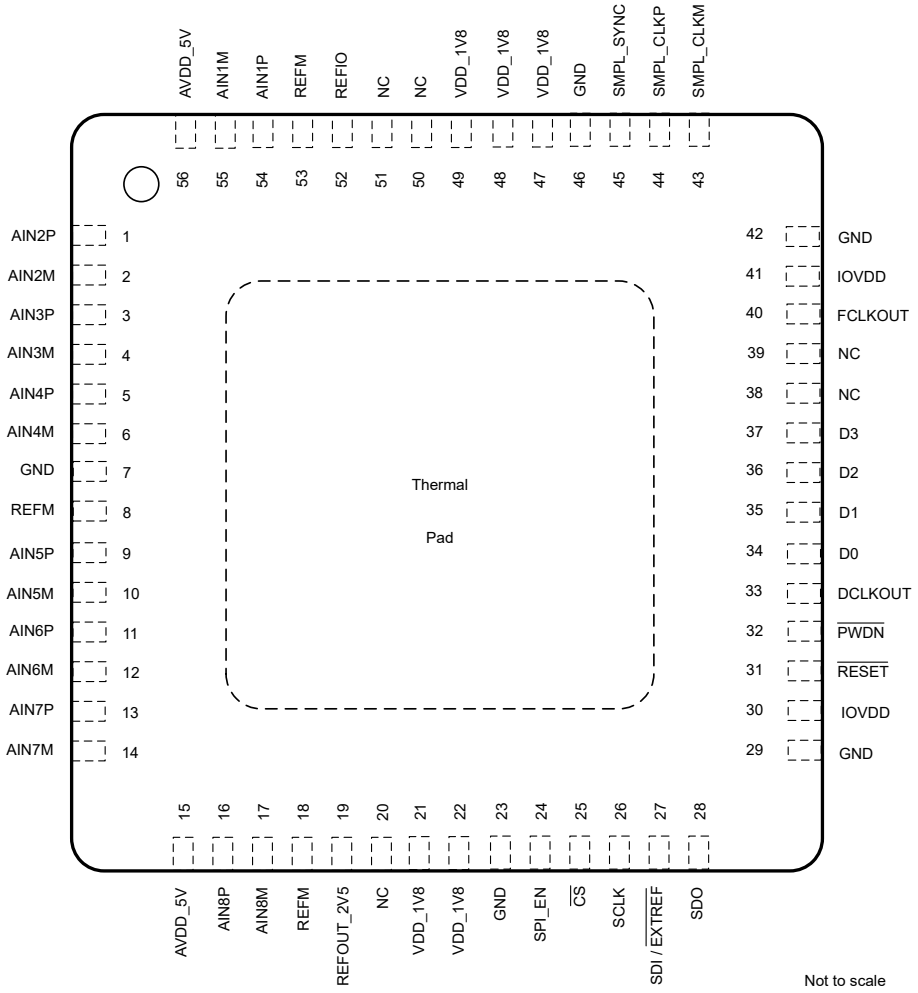


图 4-1. RSH 封装，56 引脚 VQFN（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
AIN1M	55	AI	模拟输入通道 1，负输入。
AIN1P	54	AI	模拟输入通道 1，正输入。
AIN2M	2	AI	模拟输入通道 2，负输入。
AIN2P	1	AI	模拟输入通道 2，正输入。
AIN3M	4	AI	模拟输入通道 3，负输入。
AIN3P	3	AI	模拟输入通道 3，正输入。
AIN4M	6	AI	模拟输入通道 4，负输入。
AIN4P	5	AI	模拟输入通道 4，正输入。
AIN5M	10	AI	模拟输入通道 5，负输入。
AIN5P	9	AI	模拟输入通道 5，正输入。
AIN6M	12	AI	模拟输入通道 6，负输入。
AIN6P	11	AI	模拟输入通道 6，正输入。

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
AIN7M	14	AI	模拟输入通道 7，负输入。
AIN7P	13	AI	模拟输入通道 7，正输入。
AIN8M	17	AI	模拟输入通道 8，负输入。
AIN8P	16	AI	模拟输入通道 8，正输入。
AVDD_5V	15、56	P	5V 模拟电源。将 1μF 和 0.1μF 去耦电容器连接到 GND。
$\overline{CS}$	25	DI	SPI 接口配置的片选输入；低电平有效。该引脚有一个连接到 IOVDD 的内部 100kΩ 上拉电阻。
D0	34	DO	串行输出数据通道 0。
D1	35	DO	串行数据输出通道 1。
D2	36	DO	串行数据输出通道 2。
D3	37	DO	串行数据输出通道 3。
DCLKOUT	33	DO	数据接口的时钟输出。
FCLKOUT	40	DO	数据接口的帧同步输出。
GND	7、23、29、42、46	P	地。
IOVDD	30、41	P	数据接口的数字 I/O 电源。将 1μF 和 0.1μF 去耦电容器连接到 GND。
NC	20、38、39、50、51	—	未连接。无外部连接。
$\overline{PWDN}$	32	DI	断电控制；低电平有效。$\overline{PWDN}$ 有一个连接到数字接口电源的内部 100kΩ 上拉电阻。
REFIO	52	AI/AO	当内部基准被启用时，REFIO 充当内部基准输出。当内部基准被禁用时，REFIO 用作外部基准的输入引脚。将 10μF 去耦电容器连接到 REFM 引脚。
REFM	8、18、53	AI	基准接地电势。连接至 GND。
REFOUT_2V5	19	AO	2.5V 基准输出。将去耦 10μF 电容器连接到 REFM 引脚。
$\overline{RESET}$	31	DI	器件的复位输入；低电平有效。$\overline{RESET}$ 有一个连接到数字接口电源的内部 100kΩ 上拉电阻。
SCLK	26	DI	配置接口的串行时钟输入。$\overline{SCLK}$ 具有一个连接到数字接口接地端的内部 100kΩ 下拉电阻。
SDI/$\overline{EXTREF}$	27	DI	SDI 是多功能逻辑输入。引脚功能由 SPI_EN 引脚决定。SDI 具有一个连接至 GND 的内部 100kΩ 下拉电阻。 SPI_EN = 0b：SDI 是在内部或外部基准之间进行选择的逻辑输入。将 SDI 连接到 GND 以提供外部基准。将 SDI 连接到 IOVDD 以提供内部基准。 SPI_EN = 1b：配置接口的串行数据输入。
SDO	28	DO	配置接口的串行数据输出。
SMPL_CLKM	43	DI	将 SMPL_CLKM 连接到 GND 以获得单端 ADC 采样时钟输入。SMPL_CLKM 是 ADC 的差分采样时钟输入的负输入。
SMPL_CLKP	44	DI	单端 ADC 采样时钟输入。SMPL_CLKP 是 ADC 的差分采样时钟输入的正输入。
SMPL_SYNC	45	DI	同步输入。有关如何使用 SMPL_SYNC 引脚的信息，请参阅*同步多个 ADC* 部分。
SPI_EN	24	DI	用于启用 SPI 接口配置（$\overline{CS}$、SCLK、SDI 和 SDO）的逻辑输入。SPI_EN 有一个连接到数字接口电源的内部 100kΩ 上拉电阻。
VDD_1V8	21、22、47、48、49	P	1.8V 电源。将 1μF 和 0.1μF 去耦电容器连接到 GND。
散热焊盘	—	P	外露散热焊盘；连接到 GND。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
AVDD_5V 至 GND	-0.3	6	V
VDD_1V8 至 GND	-0.3	2.1	V
IOVDD 至 GND	-0.3	2.1	V
AINxP 和 AINxM 至 GND	-18	18	V
REFIO 至 REFM	REFM – 0.3	AVDD_5V + 0.3	V
REFM 至 GND	GND – 0.3	GND + 0.3	V
数字输入至 GND	GND – 0.3	2.1	V
输入电流到电源引脚外的任意引脚(2)	-10	10	mA
结温，T_J	-40	150	°C
贮存温度，T_{stg}	-60	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 将引脚电流限制为 10mA 或更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 ANSI/ESDA/JEDEC JS-002，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2024 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
AVDD_5V	模拟电源	AVDD_5V 至 GND	4.75	5	5.25	V
VDD_1V8	电源	VDD_1V8 至 GND	1.75	1.8	1.85	V
IOVDD	数字接口电源	IOVDD 至 GND	1.15	1.8	1.85	V
基准电压						
V_{REF}	基准电压至 ADC	外部基准	4.088	4.096	4.104	V
模拟输入						
V_{FSR}	满标量程输入范围	RANGE_CHx = 2	-2.5		2.5	V
		RANGE_CHx = 1	-3.5		3.5	
		RANGE_CHx = 0	-5		5	
		RANGE_CHx = 3	-7		7	
		RANGE_CHx = 4	-10		10	
		RANGE_CHx = 5	-12		12	
AINxP	工作输入电压，正输入	AINxP 至 GND	-17		17	V
AINxM	工作输入电压，负输入	AINxM 至 GND	-17		17	V
温度范围						
T_A	环境温度		-40	25	125	°C

5.4 热性能信息

热指标(1)		ADS981x RSH (VQFN) 56 引脚	单位
$R_{\theta JA}$	结至环境热阻	23.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	10.5	°C/W
$R_{\theta JB}$	结至电路板热阻	6.1	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	6.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性

在 AVDD_5V = 4.75V 至 5.25V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.15V 至 1.85V，V_{REF} = 4.096V（外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 T_A = –40°C 至 +125°C 时测得；典型值在 T_A = 25°C 时测得

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
R_{IN}	输入阻抗	所有输入范围	0.8	1	1.2	MΩ
	输入阻抗热漂移	所有输入范围		10	30	ppm/°C
	输入电容			10		pF
模拟输入滤波器						
$BW_{(-3dB)}$	模拟输入 LPF 带宽 –3 dB	低带宽滤波器，所有输入范围		22.7		kHz
		宽带宽滤波器，输入范围 = ±2.5V		221		
		宽带宽滤波器，输入范围 = ±3.5V		325		
		宽带宽滤波器，输入范围 = ±5V		500		
		宽带宽滤波器，输入范围 = ±7V		700		
		宽带宽滤波器，输入范围 = ±10V		691		
		宽带宽滤波器，输入范围 = ±12V		664		
直流性能(3) (4)						
	分辨率	无丢码	18			位
DNL	微分非线性	宽 CM 已启用和已禁用，所有范围	-0.99	±0.35	0.99	LSB
INL	积分非线性	RANGE = ±5V 和 ±10V，T_A = 20℃ 至 60℃，AVDD_5V = 4.9V 至 5.1V ADS9813 和 ADS9811	-2	±0.8	2	LSB
		所有范围	-4	±0.8	4	
	偏移误差	RANGE = ±5V、±10V 和 ±12V	-75	±15	75	LSB
		RANGE = ±3.5V 和 ±7V	-100	±25	100	
		RANGE = ±2.5V	-175	±25	175	
		所有其他条件		±50		
	失调电压误差热漂移	所有范围，T_A = 0°C 至 70°C		0.6	2	ppm/°C
		所有范围		0.6		
	增益误差	所有范围	-0.038	±0.008	0.038	%FSR
	增益误差热漂移	所有范围，T_A = 0°C 至 70°C		0.6	3	ppm/°C
		所有范围		0.6		

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

在 AVDD_5V = 4.75V 至 5.25V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.15V 至 1.85V，V_{REF} = 4.096V（外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 T_A = –40°C 至 +125°C 时测得；典型值在 T_A = 25°C 时测得

参数		测试条件	最小值	典型值	最大值	单位
交流性能(3) (4)						
SNR	信噪比	低噪声滤波器，f_{IN} = 2kHz，范围 = ±2.5V	85.3	87.4		dBFS
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±3.5V	86.3	88.4		
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±5V	87	89.1		
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±7V	87.5	89.8		
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±10V	88	90.2		
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±12V	88.1	90.3		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±2.5V	77.1	79.1		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±3.5V	77.4	79.4		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±5V	77.5	79.7		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±7V	77.7	79.9		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±10V	79.5	81.6		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±12V	80.2	82.4		
SINAD	信噪比+失真比	低噪声滤波器，f_{IN} = 2kHz，范围 = ±2.5V	85.2	87.3		dB
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±3.5V	86.2	88.3		
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±5V	86.9	89		
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±7V	87.4	89.7		
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±10V	87.9	90.1		
		低噪声滤波器，f_{IN} = 2kHz，范围 = ±12V	88	90.2		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±2.5V	77	79		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±3.5V	77.3	79.3		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±5V	77.4	79.6		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±7V	77.6	79.8		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±10V	79.4	81.5		
		宽带宽滤波器，f_{IN} = 2kHz，RANGE = ±12V	80.1	82.3		
THD	总谐波失真	低噪声滤波器，f_{IN} = 2kHz，所有范围		-113		dB
		宽带宽滤波器，f_{IN} = 2kHz，所有范围		-113		
SFDR	无杂散动态范围	f_{IN} = 2kHz		102		dB
		f_{IN} = 2kHz，启用*数据平均*		113		
	CMRR	在直流		-70		dB
	隔离串扰	在直流		-100		dB
内部基准						

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

在 AVDD_5V = 4.75V 至 5.25V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.15V 至 1.85V，V_{REF} = 4.096V（外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 T_A = –40°C 至 +125°C 时测得；典型值在 T_A = 25°C 时测得

参数		测试条件	最小值	典型值	最大值	单位
V_{REF} (1)	REFIO 引脚上的电压（配置为输出）	REFIO 引脚上的 1 µF 电容器，T_A = 25°C	4.092	4.096	4.1	V
	基准温漂			7	20	ppm/°C

5.5 电气特性（续）

在 AVDD_5V = 4.75V 至 5.25V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.15V 至 1.85V，V_{REF} = 4.096V（外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 T_A = –40°C 至 +125°C 时测得；典型值在 T_A = 25°C 时测得

参数		测试条件	最小值	典型值	最大值	单位
数字输入						
V_{IL}	输入低逻辑电平		-0.3		0.3 IOVDD	V
V_{IH}	输入高逻辑电平		0.7 IOVDD		IOVDD	V
	输入电容			6		pF
LVDS 采样时钟输入						
V_{TH}	高电平输入电压 (P – M)	交流耦合	100			mV
		直流耦合	300			
V_{TL}	低电平输入电压 (P – M)	交流耦合			-100	mV
		直流耦合			-300	
V_{ICM}	输入共模电压		0.5	1.2	1.4	V
数字输出						
V_{OL}	输出低逻辑电平	I_{OL} = 200µA 灌电流	0		0.2 IOVDD	V
V_{OH}	输出高逻辑电平	I_{OH} = 200µA 拉电流	0.8 IOVDD		IOVDD	V
电源 - ADS9813						
	总功率损耗	最大吞吐量		244	304	mW
I_{AVDD_5V}	来自 AVDD_5V 的电源电流	最大吞吐量，内部基准		28.3	32	mA
		断电		0.2	2	
I_{VDD_1V8}	来自 VDD_1V8 的电源电流	最大吞吐量，内部基准		52	70	mA
		断电		0.2	8	
I_{IOVDD}	来自 IOVDD 的电源电流	最大吞吐量，C_L = 10pF		5	10	mA
		断电		0.1	2	
电源 - ADS9811 和 ADS9810						
	总功率损耗	最大吞吐量		177	215	mW
I_{AVDD_5V}	来自 AVDD_5V 的电源电流	最大吞吐量，内部基准		21.3	25	mA
	来自 AVDD_5V 的电源电流	断电		0.2	2	
I_{VDD_1V8}	来自 VDD_1V8 的电源电流	最大吞吐量，内部基准		35	43	mA
	来自 VDD_1V8 的电源电流	断电		0.2	8	
I_{IOVDD}	来自 IOVDD 的电源电流	最大吞吐量，C_L = 10pF		4	7	mA
	来自 IOVDD 的电源电流	断电		0.1	2	

(1) 不包括由焊接漂移效应引起的电压变化。
(2) 使用 ≤ ±RANGE/2 的模拟输入共模电压范围测得，如*差分输入的宽共模配置* 中所述
(3) 最小和最大规格适用于低带宽滤波器设置。

Copyright © 2024 Texas Instruments Incorporated

5.6 时序要求

在 AVDD_5V = 4.75V 至 5.25V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.15V 至 1.85V，V_{REF} = 4.096V（内部或外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 T_A = -40°C 至 +125°C 条件下测得；典型值在 T_A = 25°C 时测得

			最小值	最大值	单位
转换周期					
f_{SMPL_CLK}	采样频率	ADS9813	3.9	8.1	MHz
f_{SMPL_CLK}	采样频率	ADS9811 和 ADS9810	3.9	4.1	MHz
t_{SMPL_CLK}	采样时间间隔		1 / f_{SMPL_CLK}		ns
$t_{PL_SMPL_CLK}$	SMPL_CLK 低电平时间		0.45 t_{SMPL_CLK}	0.55 t_{SMPL_CLK}	ns
$t_{PH_SMPL_CLK}$	SMPL_CLK 高电平时间		0.45 t_{SMPL_CLK}	0.55 t_{SMPL_CLK}	ns
SPI 接口时序（配置接口）					
f_{SCLK}	最大 SCLK 频率			20	MHz
t_{PH_CK}	SCLK 高电平时间		0.48	0.52	t_{CLK}
t_{PL_CK}	SCLK 低电平时间		0.48	0.52	t_{CLK}
t_{hi_CS}	脉冲持续时间：$\overline{CS}$ 高电平		220		ns
t_{d_CSCK}	延迟时间：$\overline{CS}$ 下降至第一个 SCLK 捕捉升沿		20		ns
t_{su_CKDI}	建立时间：SDI 数据对 SCLK 上升沿有效		10		ns
t_{ht_CKDI}	保持时间：SCLK 上升沿到 SDI 上的数据有效		5		ns
t_{D_CKCS}	延迟时间：最后一个 SCLK 下降到 $\overline{CS}$ 上升		5		ns
CMOS 数据接口					
t_{su_SS}	建立时间：SMPL_SYNC 上升沿到 SMPL_CLK 下降沿		10		ns
t_{ht_SS}	保持时间：SMPL_CLK 下降沿至 SMPL_SYNC 高电平		10		ns

Copyright © 2024 Texas Instruments Incorporated

5.7 开关特性

在 AVDD_5V = 4.75V 至 5.25V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.15V 至 1.85V，V_{REF} = 4.096V（内部或外部）以及最大吞吐量条件下测得（除非另有说明）；最小值和最大值在 T_A = -40°C 至 +125°C 条件下测得；典型值在 T_A = 25°C 时测得

参数		测试条件	最小值	最大值	单位
复位					
t_{PU}	器件上电时间			30	ms
SPI 接口时序（配置接口）					
t_{den_CKDO}	延迟时间：第 8 个 SCLK 上升沿至数据使能			22	ns
t_{dz_CKDO}	延迟时间：第 24 个 SCLK 上升沿至 SDO 进入高阻态			50	ns
t_{d_CKDO}	延迟时间：SCLK 下降沿到 SDO 上的相应数据有效			16	ns
t_{ht_CKDO}	延迟时间：SCLK 下降沿到 SDO 上的前一个数据有效		2		ns
CMOS 数据接口					
t_{DCLK}	数据时钟输出	DDR 模式	10		ns
		SDR 模式	20		
	时钟占空比		45	55	%
$t_{off_DCLKDO_r}$	时间偏移：DCLK 上升到相应数据有效	DDR 模式	t_{DCLK} / 4 – 1.5	t_{DCLK} / 4 + 1.5	ns
$t_{off_DCLKDO_f}$	时间偏移：DCLK 下降至相应数据有效	DDR 模式	t_{DCLK} / 4 – 1.5	t_{DCLK} / 4 + 1.5	ns
t_{d_DCLKDO}	延时时间：DCLK 上升到相应数据有效	SDR 模式	-1	1	ns
$t_{d_SYNC_FCLK}$	延时时间：SMPL_CLK 下降沿（带 SYNC 信号）到相应的 FCLKOUT 上升沿		3	4	t_{SMPL_CLK}

5.8 时序图

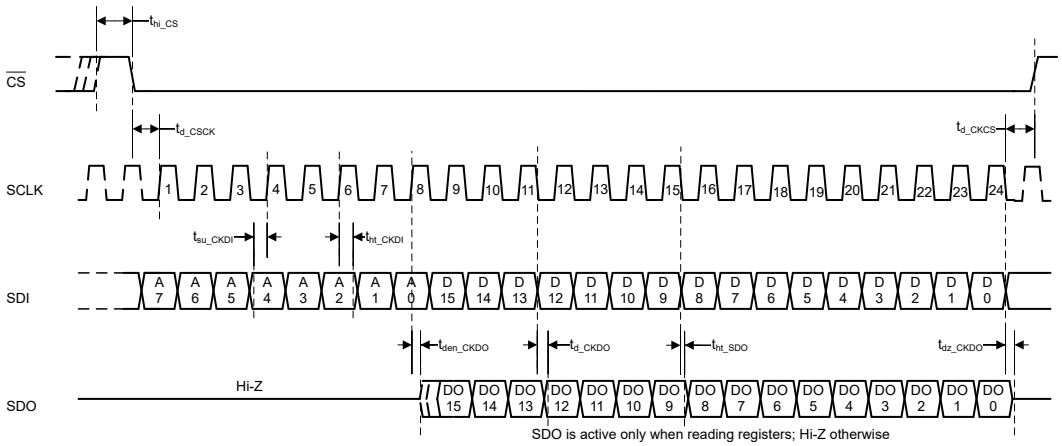


图 5-1. SPI 配置接口

Copyright © 2024 Texas Instruments Incorporated

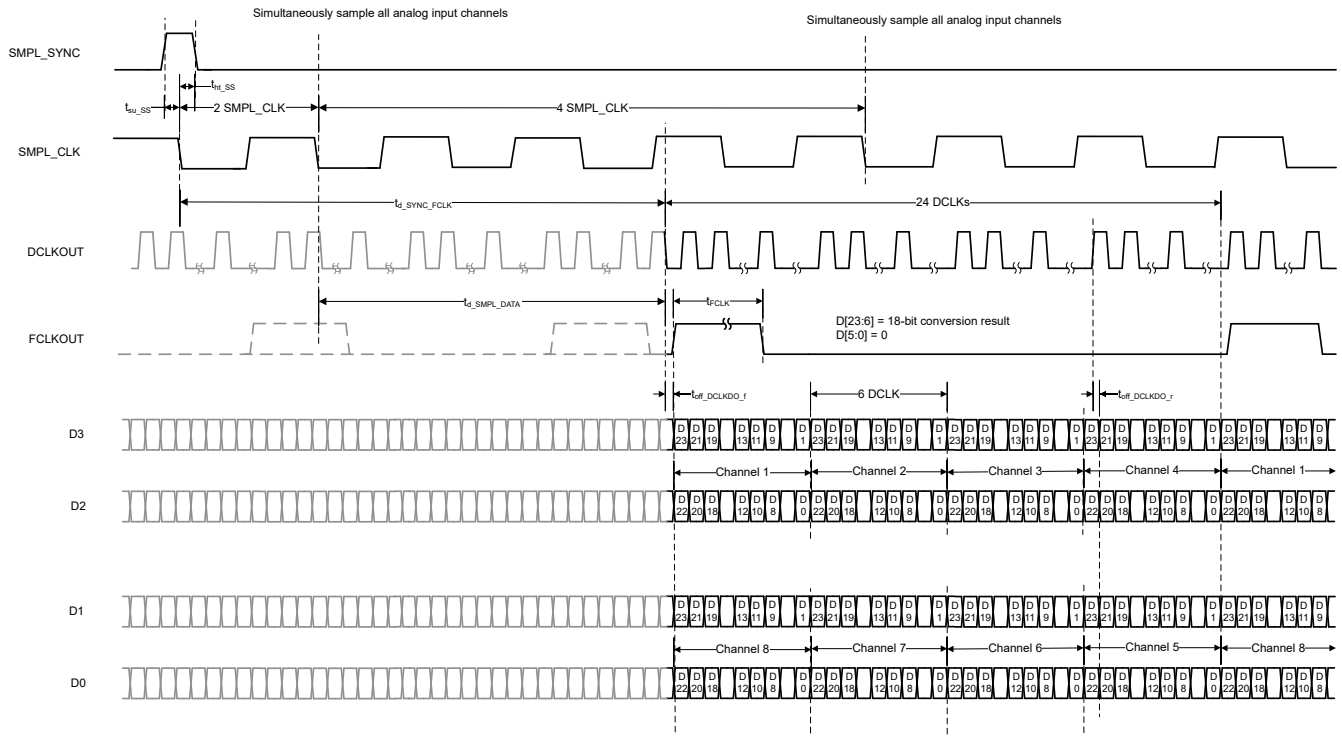


图 5-2. 4-SDO DDR CMOS 数据接口

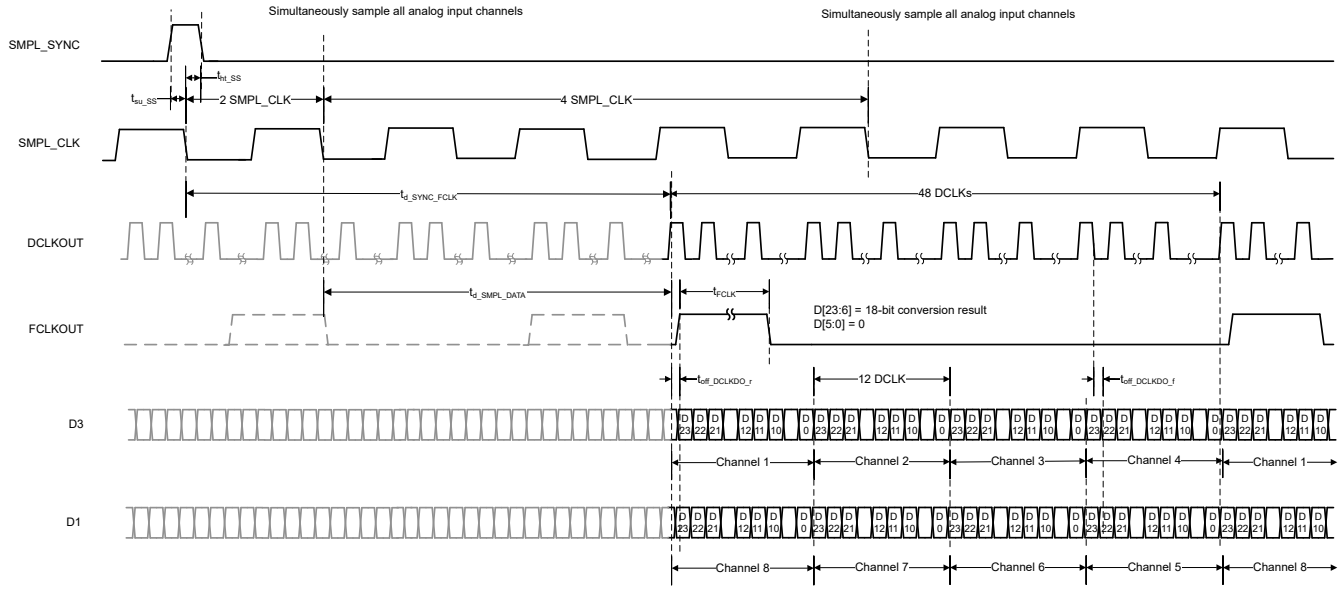


图 5-3. 2-SDO DDR CMOS 数据接口

Copyright © 2024 Texas Instruments Incorporated

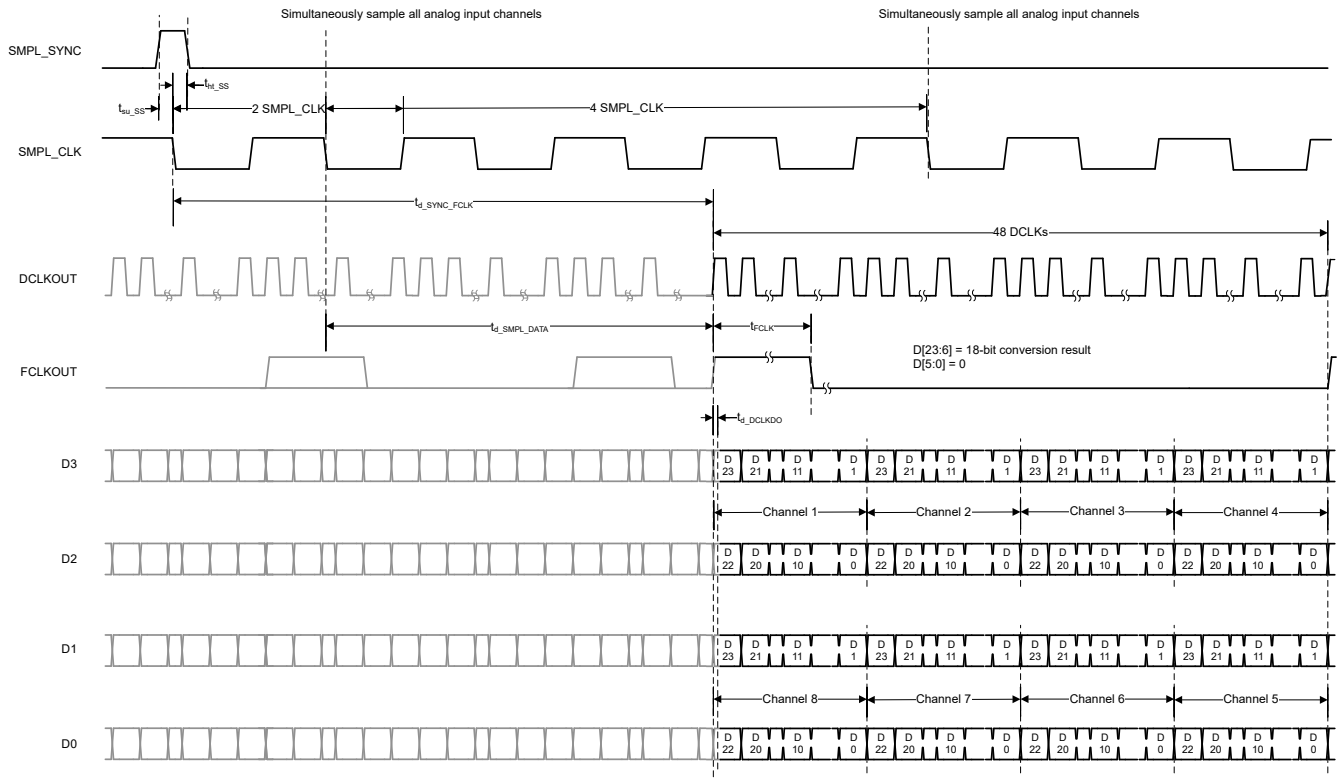


图 5-4. 4-SDO SDR CMOS 数据接口

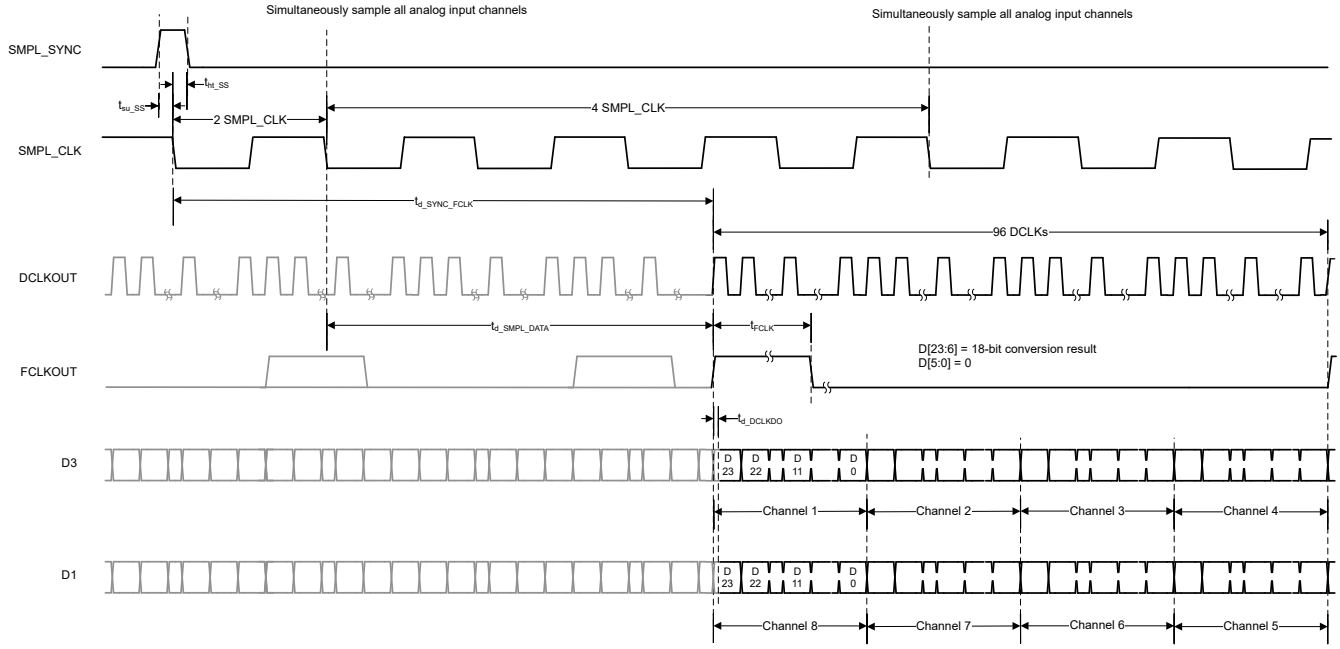


图 5-5. 2-SDO SDR CMOS 数据接口

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性

T_A = 25°C，AVDD_5V = 5V，AVDD_1V8 = 1.8V，DVDD_1V8 = 1.8V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）

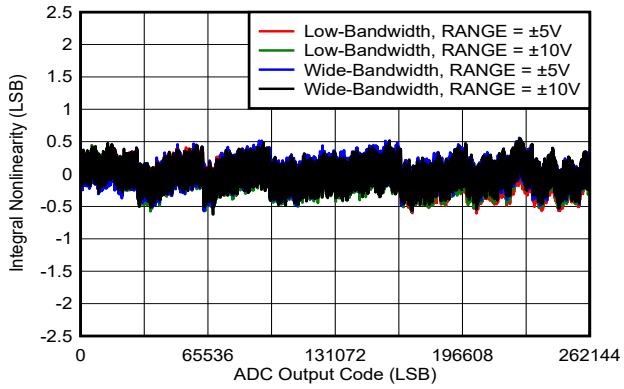


图 5-6. 典型 INL

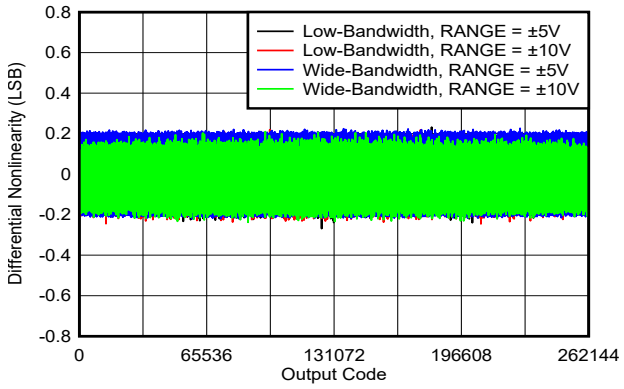
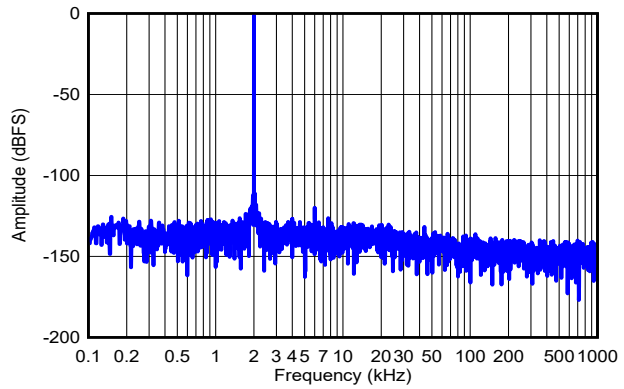
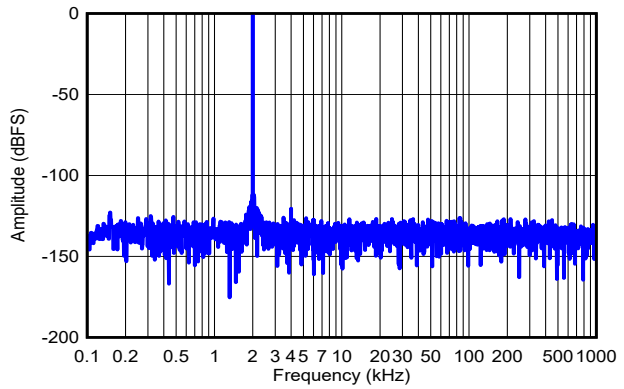


图 5-7. 具有低噪声 LPF 的典型 DNL



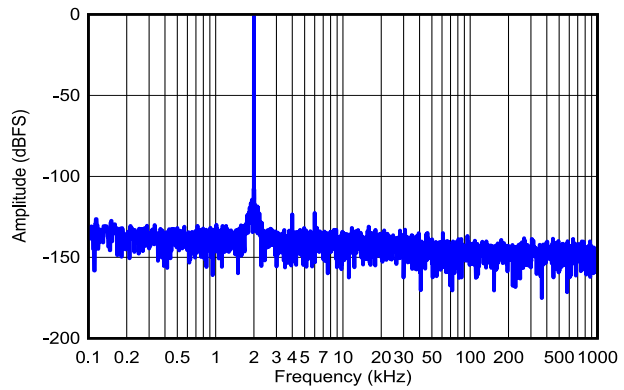
f_{IN} = 2kHz 时，SNR = 89.1dBFS，THD = –116dB

图 5-8. 具有低带宽 LPF 的典型 FFT，范围 = ±5V



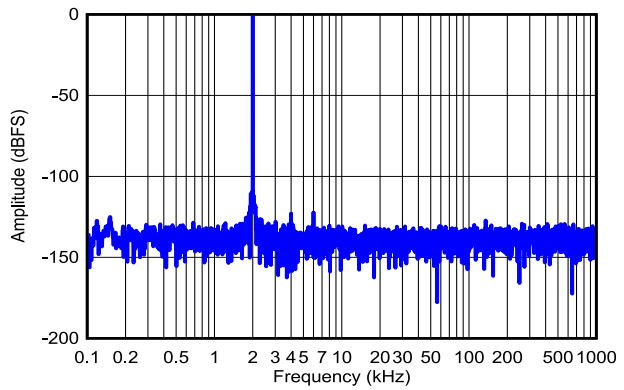
f_{IN} = 2kHz 时，SNR = 79.7dBFS，THD = –117.3dB

图 5-9. 具有宽带宽 LPF 的典型 FFT，范围 = ±5V



f_{IN} = 2kHz 时，SNR = 90.2dBFS，THD = –114dB

图 5-10. 具有低带宽 LPF 的典型 FFT，范围 = ±10V



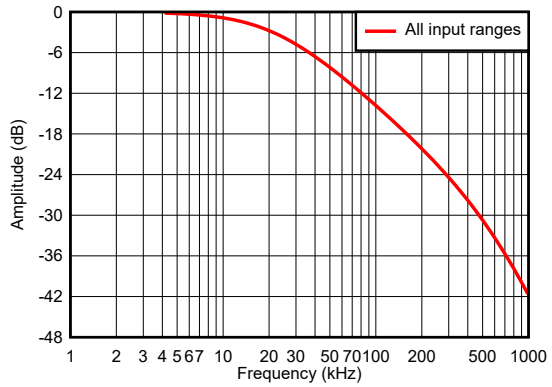
f_{IN} = 2kHz 时，SNR = 81.6dBFS，THD = –116dB

图 5-11. 具有宽带宽 LPF 的典型 FFT，范围 = ±10V

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，AVDD_5V = 5V，AVDD_1V8 = 1.8V，DVDD_1V8 = 1.8V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）



典型带宽 (-3dB) = 22.7kHz

图 5-12. 输入范围内的低噪声 LPF 频率响应

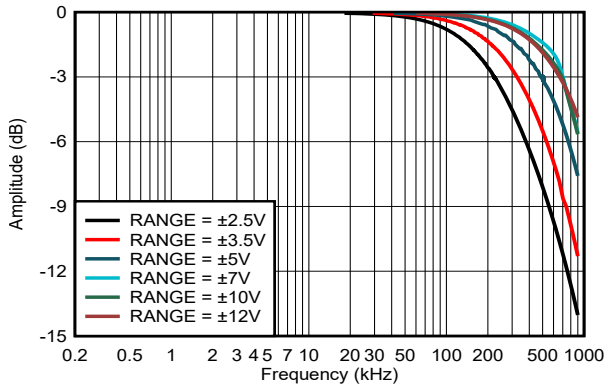
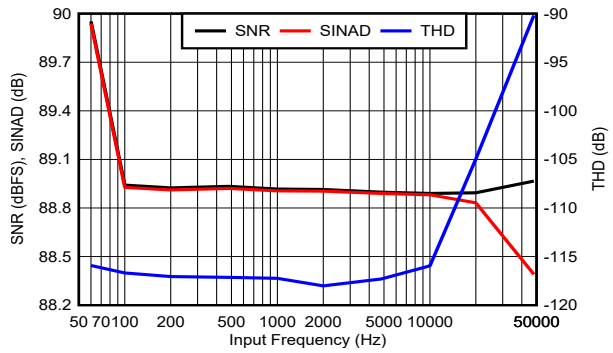
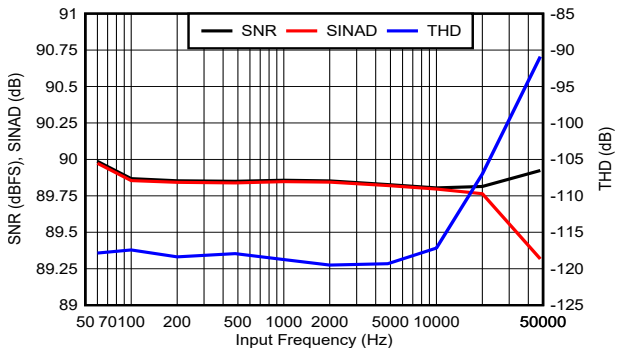


图 5-13. 输入范围内的宽带宽 LPF 频率响应



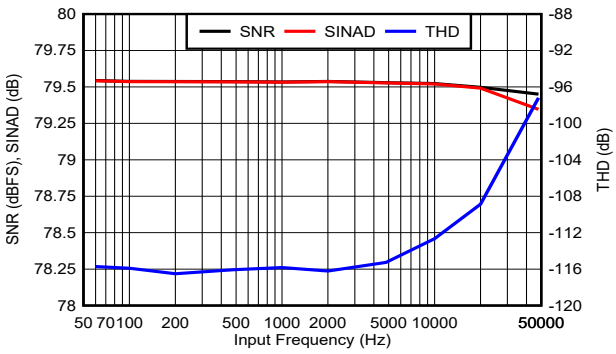
低带宽 LPF 且 RANGE = ±5V

图 5-14. SNR、SINAD 和 THD 与输入信号频率间的关系



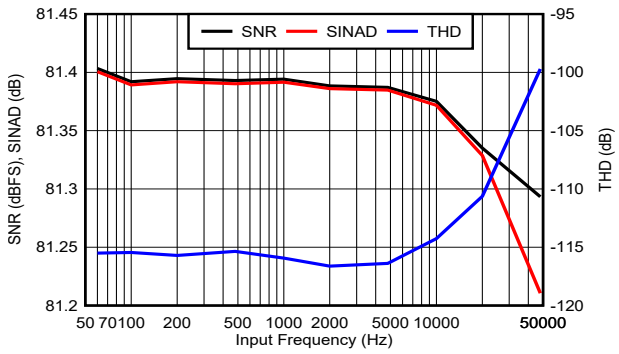
低带宽 LPF 且 RANGE = ±10V

图 5-15. SNR、SINAD 和 THD 与输入信号频率间的关系



宽带宽 LPF 且 RANGE = ±5V

图 5-16. SNR、SINAD 和 THD 与输入信号频率间的关系



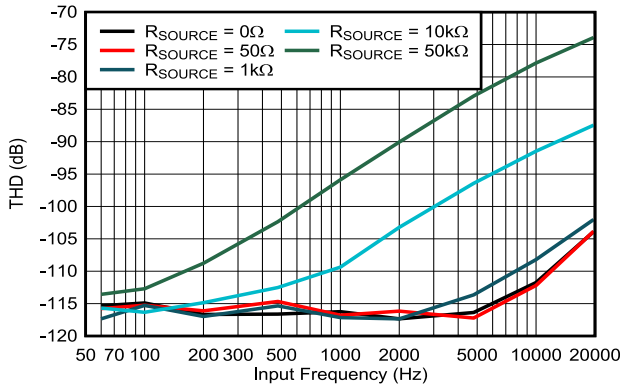
宽带宽 LPF 且 RANGE = ±10V

图 5-17. SNR、SINAD 和 THD 与输入信号频率间的关系

Copyright © 2024 Texas Instruments Incorporated

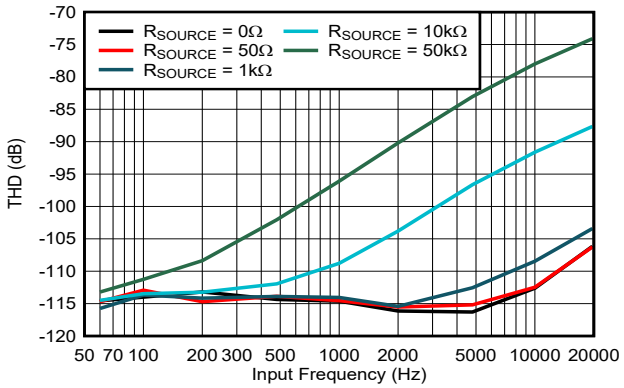
5.9 典型特性（续）

T_A = 25°C，AVDD_5V = 5V，AVDD_1V8 = 1.8V，DVDD_1V8 = 1.8V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）



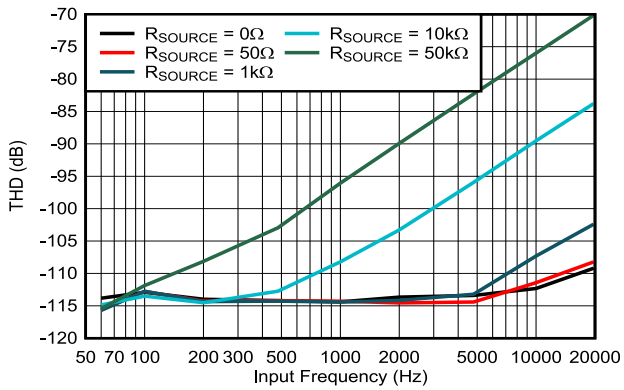
低带宽 LPF 且 RANGE = ±5V

图 5-18. 不同外部源阻抗下 THD 与输入信号频率间的关系



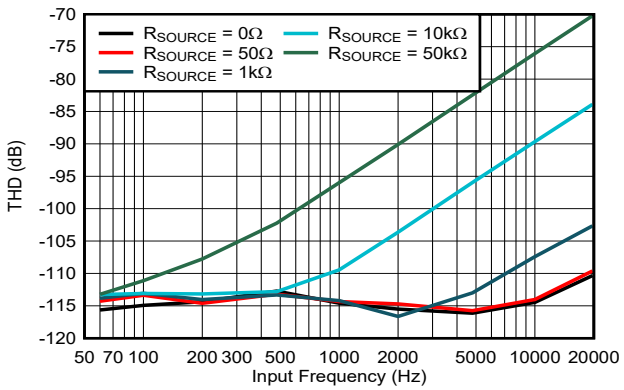
低带宽 LPF 且 RANGE = ±10V

图 5-19. 不同外部源阻抗下 THD 与输入信号频率间的关系



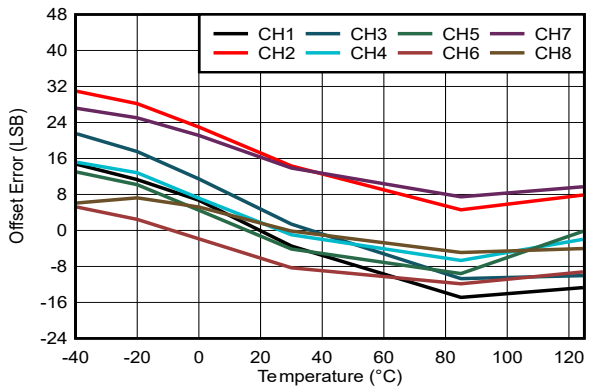
宽带宽 LPF 且 RANGE = ±5V

图 5-20. 不同外部源阻抗下 THD 与输入信号频率间的关系



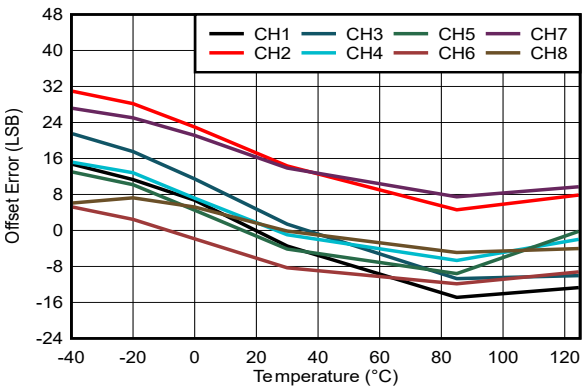
宽带宽 LPF 且 RANGE = ±10V

图 5-21. 不同外部源阻抗下 THD 与输入信号频率间的关系



低带宽和宽带宽

图 5-22. 失调电压误差与温度间的关系，范围 = ±5V



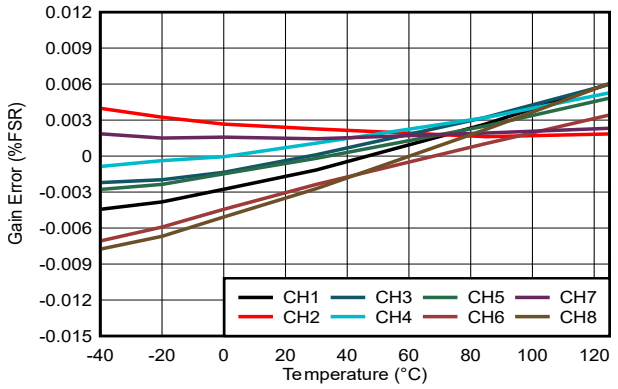
低带宽和宽带宽

图 5-23. 失调电压误差与温度间的关系，范围 = ±10V

Copyright © 2024 Texas Instruments Incorporated

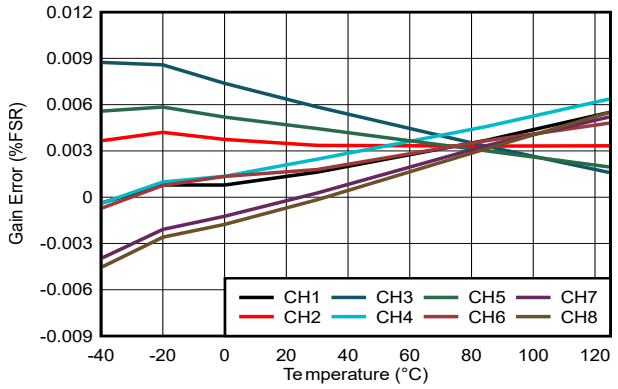
5.9 典型特性（续）

T_A = 25°C，AVDD_5V = 5V，AVDD_1V8 = 1.8V，DVDD_1V8 = 1.8V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）



低带宽和宽带宽

图 5-24. 增益误差与温度间的关系，范围 = ±5V



低带宽和宽带宽

图 5-25. 增益误差与温度间的关系，范围 = ±10V

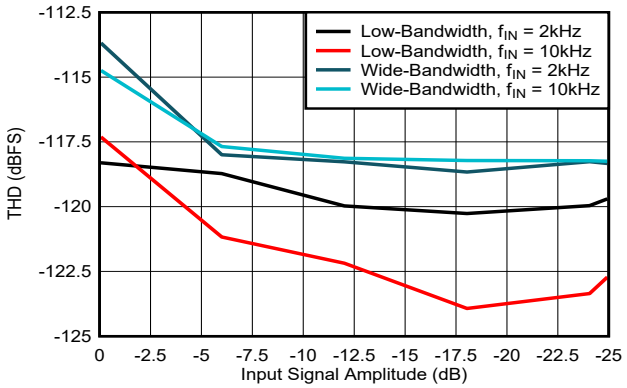


图 5-26. 输入信号频率范围内的 THD 与输入信号振幅间的关系，RANGE = ±5V

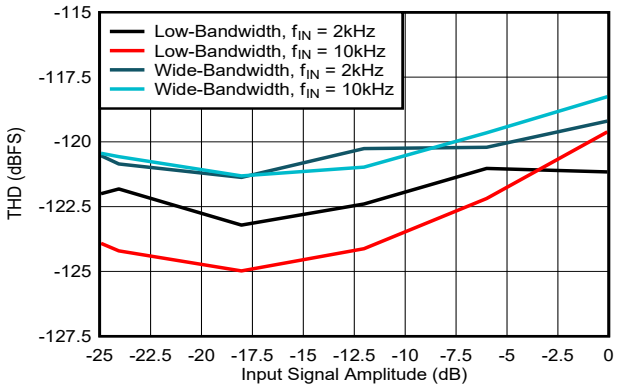


图 5-27. 输入信号频率范围内的 THD 与输入信号振幅间的关系，RANGE = ±10V

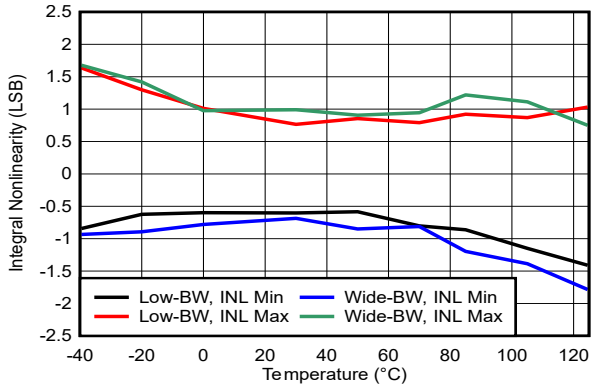


图 5-28. INL 与温度间的关系

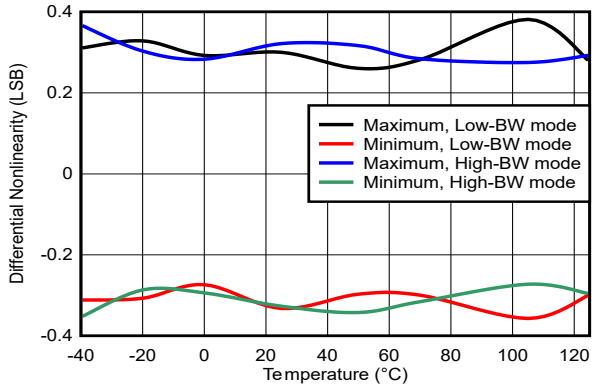


图 5-29. DNL 与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，AVDD_5V = 5V，AVDD_1V8 = 1.8V，DVDD_1V8 = 1.8V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）

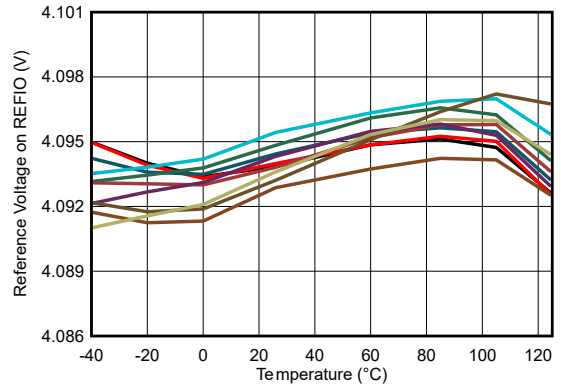


图 5-30. REFIO 与温度间的关系

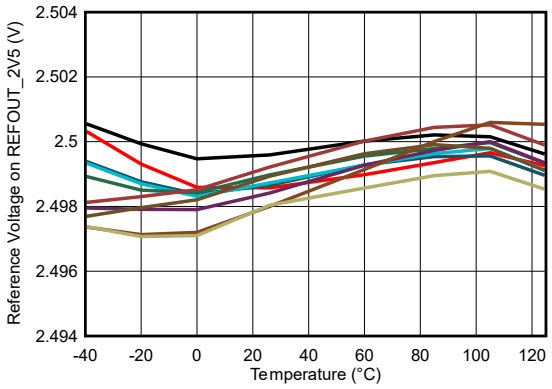
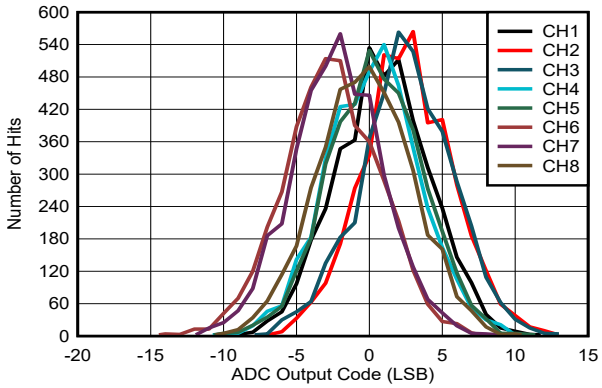
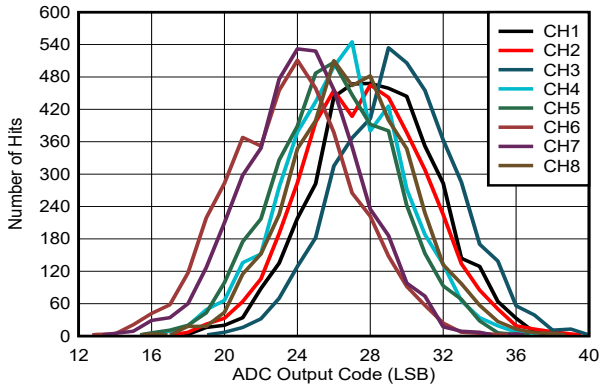


图 5-31. REFOUT_2V5 与温度间的关系



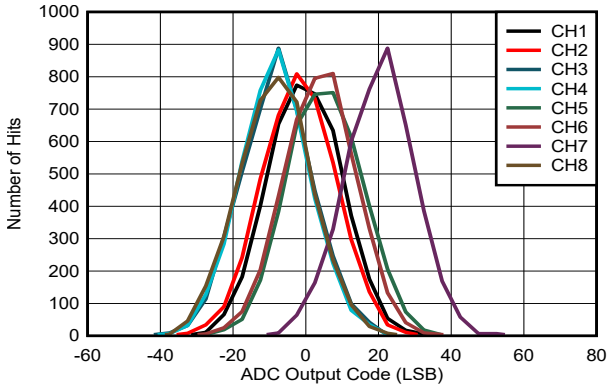
标准偏差 = 3.25LSB，命中数 = 4096

图 5-32. AINxP = AINxM = GND 时的直流代码直方图，低带宽，RANGE = ±5V



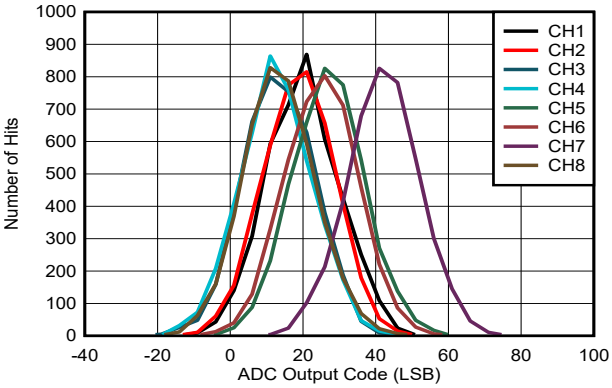
标准偏差 = 3.25LSB，命中数 = 4096

图 5-33. V_{IN} = 1mV 时的直流代码直方图，低带宽，RANGE = ±5V



标准偏差 = 9.76LSB，命中数 = 4096

图 5-34. AINxP = AINxM = GND 时的直流代码直方图，宽带宽，RANGE = ±5V



标准偏差 = 9.76LSB，命中数 = 4096

图 5-35. V_{IN} = 1mV 时的直流代码直方图，宽带宽，RANGE = ±5V

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，AVDD_5V = 5V，AVDD_1V8 = 1.8V，DVDD_1V8 = 1.8V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）

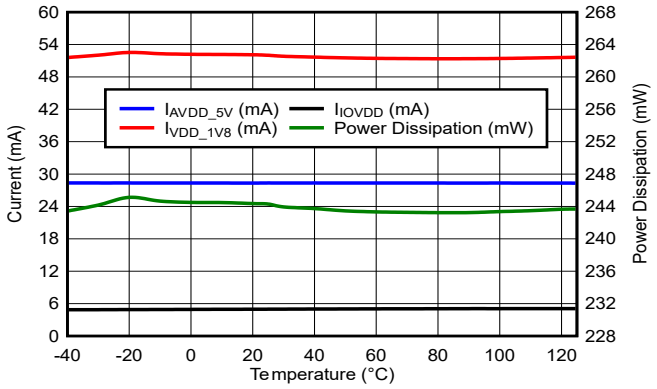


图 5-36. 电源电流和总功率损耗与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

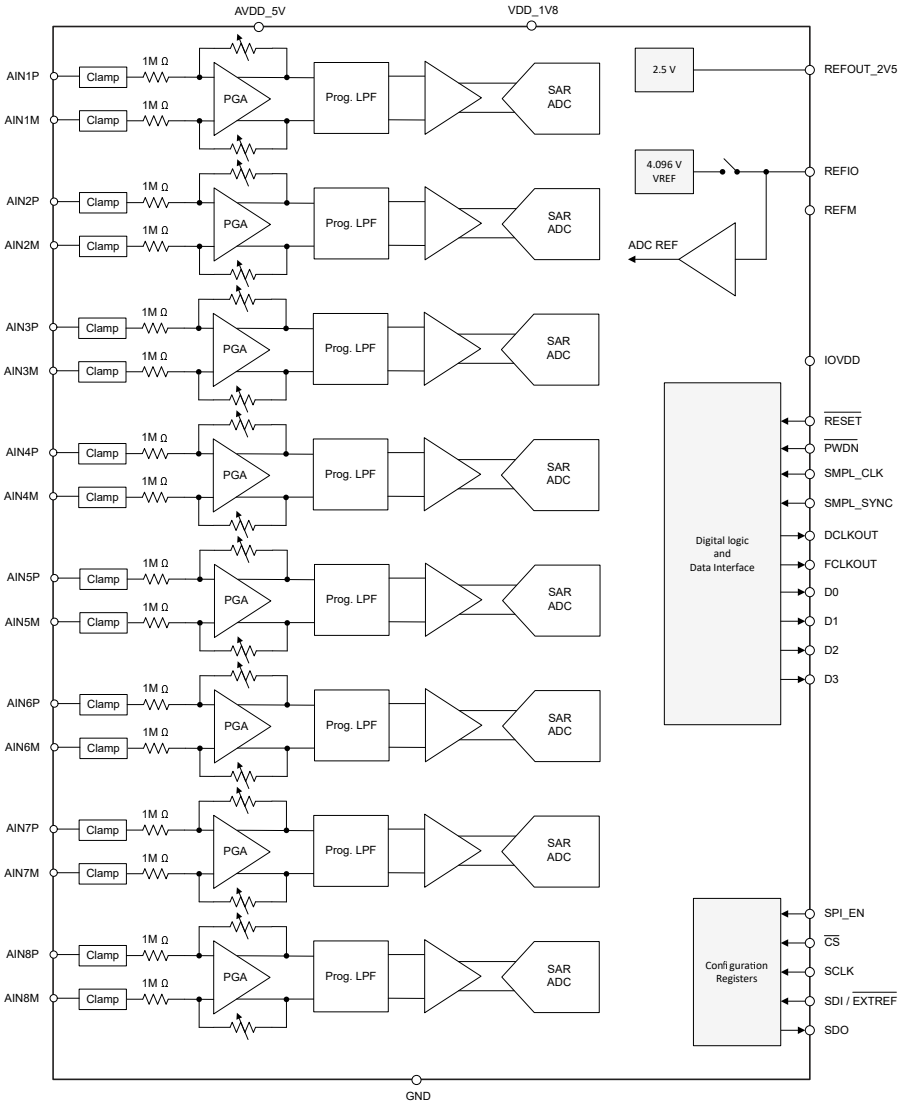
6 详细说明

6.1 概述

ADS9813 是一款 18 位数据采集 (DAQ) 系统，具有八个可配置为单端或差分的模拟输入通道。每个模拟输入通道都包含一个输入钳位保护电路和一个具有用户可选带宽选项的可编程增益放大器 (PGA)。根据逐次逼近寄存器 (SAR) 架构，输入信号通过 18 位模数转换器 (ADC) 进行数字化。对于所有通道，此整体系统可实现每通道 2MSPS 的最大吞吐量。该器件具有 4.096V 内部基准，其多种特性可提供与各种数字主机的通信。这些特性包括一个快速稳定缓冲器、一个用于改善噪声性能的可编程数字平均滤波器，以及一个高速数据接口。

此器件由 5V 和 1.8V 模拟电源供电运行，并且可适应真实双极输入信号。输入钳位保护电路可承受高达 ±18V 的电压。该器件提供了一个 1MΩ 的恒定阻性输入阻抗（无论采样频率或所选输入范围为何）。ADS9813 提供了一种简化的终端解决方案，无需外部高电压双极电源和复杂的驱动器电路。

6.2 功能方框图



6.3 特性说明

6.3.1 模拟输入

ADS9813 整合了八个同步采样 18 位逐次逼近寄存器 (SAR) 模数转换器 (ADC)。该器件共有 8 个模拟输入对。ADC 将模拟输入对 AINxP – AINxM 之间的电压差数字化。图 6-1 显示了每个模拟输入通道的简化电路原理图。此图还显示了输入钳位保护电路、可编程增益放大器 (PGA)、低通滤波器、高速 ADC 驱动器和精密 18 位 SAR ADC。模拟输入范围与输入共模范围间的典型 SNR 如表 6-5（对于低带宽模式）和表 6-6（对于宽带宽模式）所示。

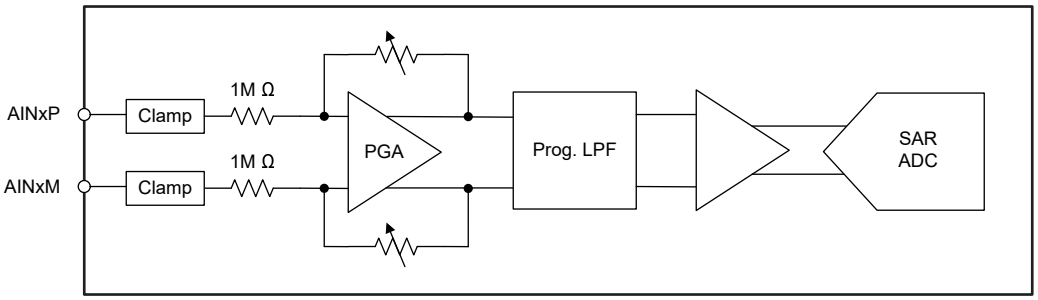


图 6-1. 选定模拟输入通道的前端电路原理图

6.3.1.1 输入钳位保护电路

ADS9813 的 8 个模拟输入通道上分别具有内部钳位保护电路（图 6-1）。输入钳位保护电路允许每个模拟输入摆动至最大电压 ±18V。输入电压超过 ±18V 后，输入钳位电路将导通，并且仍由 5V 单电源供电。图 6-2 显示了输入钳位电流与电压间的关系的典型特性曲线。

如果输入电压高于钳位阈值，请确保输入电流绝不会超过 ±10mA。与模拟输入串联的电阻器是限制输入电流的有效方法。除了限制输入电流之外，该串联电阻器与电容器耦合时还可以提供抗混叠低通滤波器 (LPF)。匹配 AINxP 和 AINxM 引脚上的外部源阻抗可消除任何额外的失调电压误差。

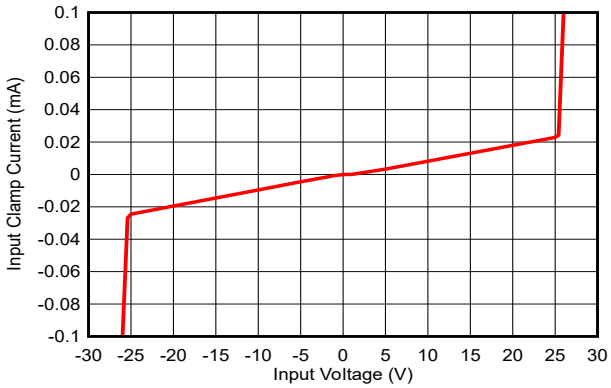


图 6-2. 输入保护钳位曲线 - 输入钳位电流与电源电压

Copyright © 2024 Texas Instruments Incorporated

6.3.1.2 可编程增益放大器 (PGA)

ADS9813 的每个模拟输入通道都有一个 PGA。PGA 支持具有双极信号摆幅的单端和差分输入。表 6-1 列出了支持的模拟输入范围。使用地址 0xC2 和地址 0xC3 中的 RANGE_CHx 寄存器字段为每个通道独立配置模拟输入范围。

表 6-1. 模拟输入范围

差分输入	单端输入	RANGE_CHx 配置
±12V	±12V	5
±10V	±10V	4
±7V	±7V	3
±5V	±5V	0
±3.5V	±3.5V	1
±2.5V	±2.5V	2

每个模拟输入通道在 PGA 输出端都有一个抗混叠低通滤波器 (LPF)。表 6-2 列出了 ADS9813 中与模拟输入范围对应的各种可编程 LPF 选项。图 5-12 和图 5-13 展示了低带宽和宽带宽 LPF 配置的频率响应。使用寄存器组 1 的地址 0xC0 中的 ANA_BW[7:0] 位为八个模拟输入通道选择模拟输入带宽。

表 6-2. 低通滤波器转角频率

LPF	模拟输入范围	转角频率 (– 3dB)
低带宽	所有输入范围	22.7kHz
宽带宽	±12V	664kHz
	±10V	691kHz
	±7V	700kHz
	±5V	500kHz
	±3.5V	325kHz
	±2.5V	221kHz

6.3.1.3 宽共模电压抑制电路

ADS9813 在模拟输入端具有共模 (CM) 抑制电路，支持高达 ±12V 的 CM 电压。差分输入的 CM 电压由方程式 1 计算得出。上电时或复位后，模拟输入通道的共模电压范围为 ±12V (CM_CTRL_EN = 0b)。在所有情况下，请确保模拟输入端的电压在*绝对最大额定值* 范围内。

$$\text{Common mode voltage} = \frac{(\text{Voltage on AINP}) + (\text{Voltage on AINM})}{2} \quad (1)$$

如表 6-3 所述，针对差分输入的各种 CM 电压优化 CM 电压抑制电路。

表 6-3. 适用于差分输入的宽共模配置

共模 (CM) 范围	CM_CTRL_EN	模拟输入通道 1 – 4		模拟输入通道 5 – 8	
		CM_EN_CH[4:1]	CM_RNG_CH[4:1]	CM_EN_CH[8:5]	CM_RNG_CH[8:5]
CM ≤ ±1V	1	0	无关	0	无关
CM ≤ ±RANGE / 2		1	0	1	0
CM ≤ ±6V			1		1
CM ≤ ±12V			2		2

使用单端输入时，CM 电压抑制电路的配置取决于 PGA 的模拟输入范围。表 6-4 列出了各种模拟输入电压范围的单端输入的建议配置。

Copyright © 2024 Texas Instruments Incorporated

表 6-4. 适用于单端输入的宽共模配置

PGA 模拟输入范围	CM_CTRL_EN	模拟输入通道 1 – 4		模拟输入通道 5 – 8	
		CM_EN_CH[4:1]	CM_RNG_CH[4:1]	CM_EN_CH[8:5]	CM_RNG_CH[8:5]
±2.5V、±3.5V 和 ±5V	1	0	无关	0	无关
±7V、±10V 和 ±12V		1	0	1	0

模拟输入范围与输入共模范围间的典型 SNR 如表 6-5（对于低带宽模式）和表 6-6（对于宽带宽模式）所示。

表 6-5. 低带宽模式下模拟输入范围与共模范围的典型 SNR (dBFS) 间的关系

范围	CM ≤ ±1V	CM ≤ ±RANGE / 2	CM ≤ ±6V	CM ≤ ±12V
±2.5V	88.3	87.4	85.2	83.4
±3.5V	88.3	88.4	87.0	85.4
±5V	90.1	89.1	88.4	87.2
±7V	–	89.8	89.4	88.5
±10V	–	90.2	90.2	89.5
±12V	–	90.3	90.3	89.9

表 6-6. 宽带宽模式下模拟输入范围与共模范围的典型 SNR (dBFS) 间的关系

范围	CM ≤ ±1V	CM ≤ ±RANGE / 2	CM ≤ ±6V	CM ≤ ±12V
±2.5V	80.5	79.1	76.7	74.7
±3.5V	81.1	79.4	77.6	75.8
±5V	81.6	79.7	78.4	76.7
±7V	–	80.0	79.2	77.5
±10V	–	81.6	81.2	79.7
±12V	–	82.4	82.4	80.9

6.3.2 ADC 传递函数

ADS9813 以直接二进制或二进制补码格式输出 18 转换数据。所有模拟通道的输出代码格式均相同。通过 DATA_FORMAT 寄存器位选择输出代码的格式。图 6-3 和表 6-7 展示了 ADS9813 的传递特性。LSB 大小取决于所选的模拟输入范围。

Copyright © 2024 Texas Instruments Incorporated

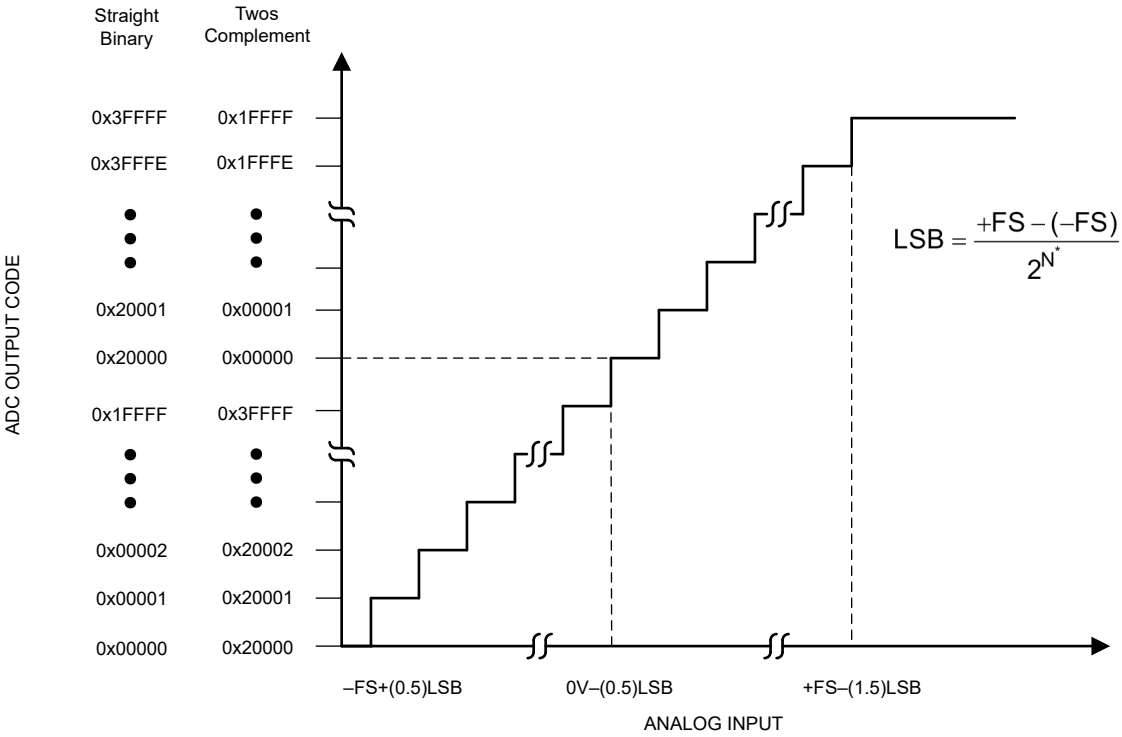


图 6-3. 传输特性

表 6-7. ADC 满量程范围和 LSB 大小

范围	+FS	中量程	– FS	LSB
±2.5V	2.5V	0V	-2.5V	19.07µV
±3.5V	3.5V	0V	-3.5V	26.70µV
±5V	5V	0V	-5V	38.15µV
±7V	7V	0V	-7V	53.41µV
±10V	10V	0V	-10V	76.29µV
±12V	12V	0V	-12V	91.55µV

Copyright © 2024 Texas Instruments Incorporated

6.3.3 ADC 采样时钟输入

使用差分或单端时钟输入（其中单端时钟的功耗更低）运行 ADS9813。确保采样时钟是自由运行的连续时钟。在应用自由运行的采样时钟后，ADC 会生成有效的输出数据、数据时钟和帧时钟 $t_{PU_SMPL_CLK}$。*开关特性* 部分中指定了这些参数。当采样时钟停止时，ADC 输出数据、数据时钟和帧时钟无效。

图 6-4 和图 6-5 分别显示了采样时钟是差分或单端。

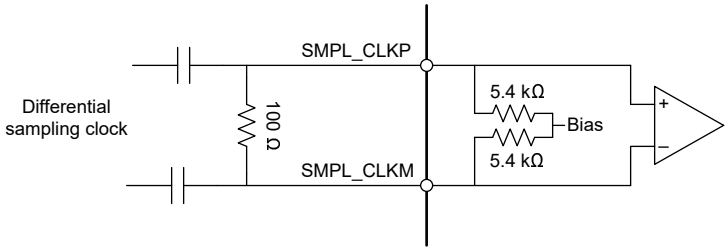


图 6-4. 交流耦合差分采样时钟

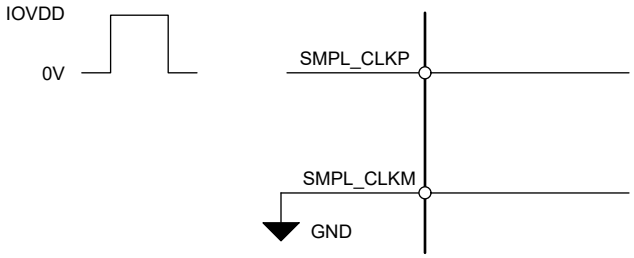


图 6-5. 单端采样时钟

6.3.4 同步多个 ADC

使用 SMPL_SYNC 信号可对多个 ADS9813 器件的所有模拟输入通道同时采样。所有 ADS9813 器件在 ADC 外部都具有相同的 SMPL_CLK 和 SMPL_SYNC 信号以及相同的延迟。SMPL_SYNC 引脚上以 SMPL_CLK 信号下降沿为中心的正脉冲会使所有 ADC 同步，请参阅图 5-2。仅在上电后（采样时钟自由运行）、重新启动采样时钟后或器件复位后需要一次同步信号。如图 5-2、图 5-3、图 5-4 和图 5-5 所示，SYNC 信号复位内部模拟通道选择逻辑并且将 FCLKOUT 信号与数据帧对齐。如果未提供 SYNC 信号，则内部模拟通道选择逻辑与 FCLKOUT 不同步，从而导致通道输出数据序列与 FCLKOUT 之间的不同对齐。当使用多个具有相同采样时钟的 ADC 时，SYNC 信号可确保所有 ADC 同时对相同的相应模拟输入通道进行采样。

Copyright © 2024 Texas Instruments Incorporated

6.3.5 基准电压

ADS9813 器件内部具有一个精密的低漂移电压基准。为了获得出色性能，可通过将 10µF 陶瓷旁路电容器连接到 REFIO 引脚来滤除内部基准噪声（如图 6-6 所示）。如图 6-7 所示，REFIO 引脚上还连接了一个外部基准。当使用一个外部基准时，请通过以下两个选项中的任一个来禁用内部基准电压：

- 配置 SPI（SPI_EN 引脚 = 逻辑 1）。在寄存器组 1 的地址 0xC1 中写入 PD_REF = 1b。
- 使用 SDI/EXTREF 引脚（SPI_EN 引脚 = 逻辑 0）。使用下拉电阻器将 SDI/EXTREF 引脚设置为逻辑 0。

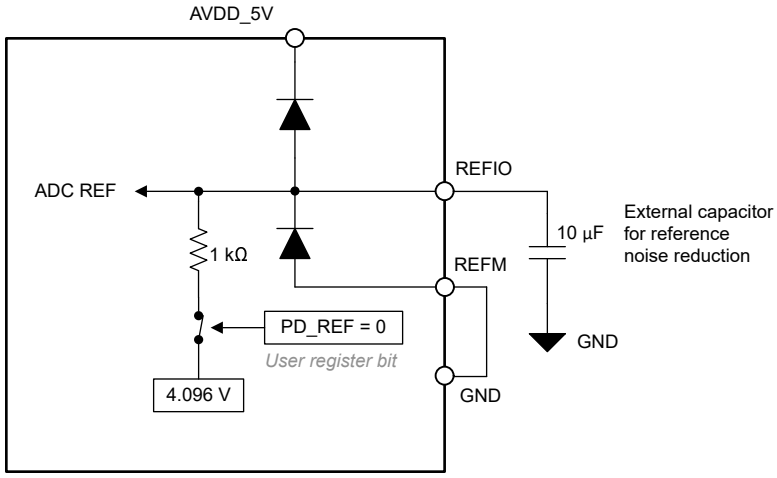


图 6-6. 内部基准电压

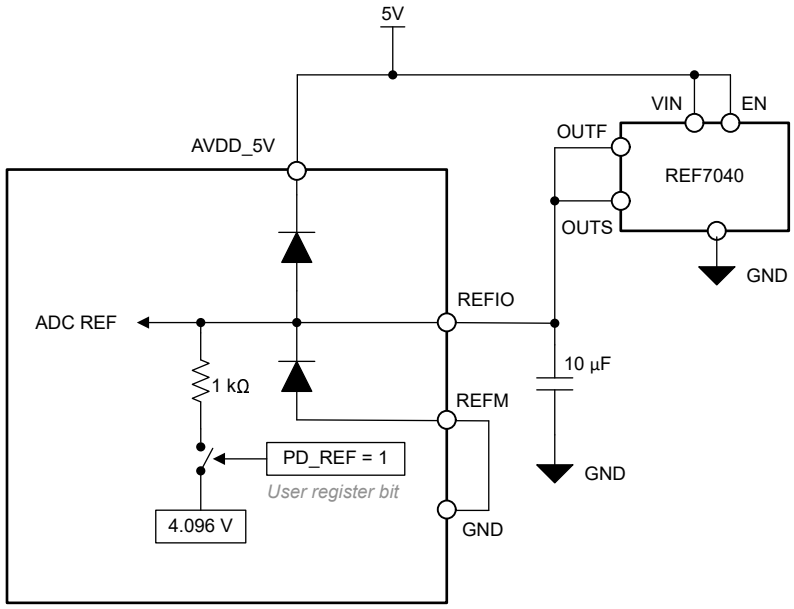


图 6-7. 外部基准电压

6.3.6 数据接口

ADS9813 支持具有单倍数据速率 (SDR) 和双倍数据速率 (DDR) 接口模式的 2 通道和 4 通道模式。可以使用配置 SPI 选择数据接口，如表 6-8 中所述。ADC 生成数据 (D[3:0])、数据时钟 (DCLKOUT) 和帧时钟 (FCLKOUT)，以响应 SMPL_CLK 输入引脚上的采样时钟信号。18 位 ADC 转换结果以 MSB 优先的方式在 24 位数据包中输出，最后六位为零。

数据接口信号可被描述为：

- D[3:0]：ADC 的数据输出。在 4 通道模式下，使用全部四个通道，而在 2 通道模式下，D3 和 D1 用于输出 ADC 数据。
- DCLKOUT：ADC 的数据时钟输出。
- FCLKOUT：ADC 的帧时钟输出，定界每组 8 通道数据。上电时或器件复位后需要一个 SYNC 脉冲，以将 FCLKOUT 的上升沿与通道 1 数据输出对齐，如*同步多个 ADC* 部分所述。

使用表 6-8 中的寄存器配置数据接口。

表 6-8. 接口模式的寄存器配置

接口模式	图表	DATA_RATE (地址 = 0xC1)	DATA_LANES (地址 = 0xC1)
4 通道，DDR	图 5-2	0	0
2 通道，DDR	图 5-3	0	1
4 通道，SDR	图 5-4	1	0
2 通道，SDR	图 5-5	1	1

6.3.6.1 数据时钟输出

ADS9813 具有源同步数据接口，ADC 通过该接口提供输出数据和用于采集数据的时钟。采集数据的时钟在 DCLKOUT 引脚上输出。时钟频率取决于采样时钟速度、数据速率（SDR 或 DDR）和输出通道数（四个通道或两个通道），具体由方程式 2 给出。帧时钟频率由方程式 3 给出。

$$\text{Data clock frequency} = \frac{24\ \text{bits/channel} \times 8\ \text{channels}}{\text{Number of data lanes} \times \text{Data rate (SDR} = 1,\ \text{DDR} = 2)} \times \text{Frame clock frequency} \quad (2)$$

$$\text{Frame clock frequency} = \frac{\text{Sampling clock frequency}}{4} \quad (3)$$

表 6-9 显示了在各种接口模式下 ADS9817 和 ADS9815 最大采样率的数据时钟频率。

表 6-9. 接口模式的数据时钟频率

接口模式	ADS9815 (f_{SMPL_CLK} = 4MHz)	ADS9817 (f_{SMPL_CLK} = 8MHz)
4 通道，DDR	24MHz	48MHz
2 通道，DDR	48MHz	96MHz
4 通道，SDR	48MHz	96MHz
2 通道，SDR	96MHz	不支持

Copyright © 2024 Texas Instruments Incorporated

6.3.6.2 ADC 输出数据随机数发生器

ADS9813 具有一个数据输出数据随机数发生器。启用时，ADC 转换结果与转换结果的 LSB（图 6-8）或可以附加到 ADC 数据输出（图 6-9）的 XOR_PRBS 位进行逐位异或运算 (XOR)。ADC 转换结果的 LSB 和 XOR_PRBS 为 1 或 0 的概率相等。由于异或运算，ADS9813 的数据输出是随机的。通过数据接口传输该随机结果所产生的接地反弹与模拟输入电压无关。当 PCB 布局未能更大限度地减少接地反弹时，该不相关传输有助于尽可能地减少数据传输与 ADC 模拟性能之间的相互影响。

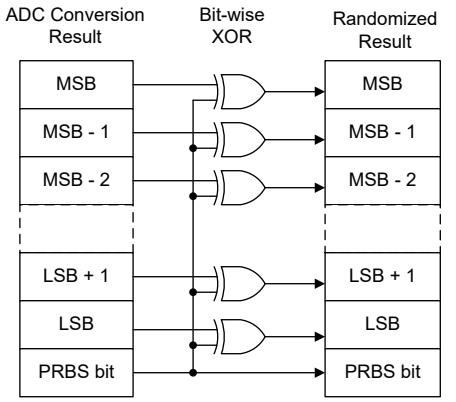


图 6-8. 与 PRBS 位进行逐位异或运算

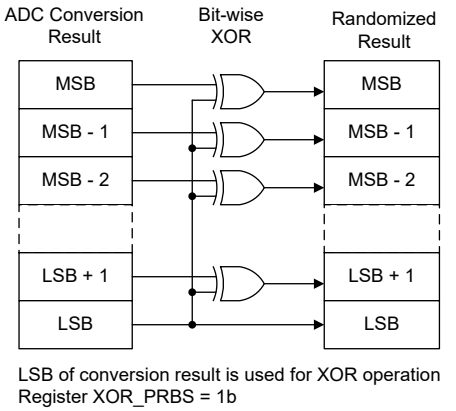


图 6-9. 与 ADC LSB 进行逐位异或运算

6.3.6.3 数据平均

ADS9813 具有两种数据平均模式以改善 SNR - 简单平均和移动平均。简单平均可将输出数据速率降低 2 倍，而移动平均不会影响输出数据速率。表 6-10 和表 6-11 分别展示了启用和禁用简单平均和移动平均的寄存器操作。

表 6-10. 简单平均的寄存器操作

步骤 #	寄存器字段	启用简单平均计算	禁用简单平均计算
1	REG_BANK_SEL	2	2
2	EN_AVG	1	0
3	AVG_CFG3	1	0
4	AVG_CFG2	3	0
5	AVG_CFG1	1	0
6	AVG_CFG4	3	0

表 6-11. 移动平均的寄存器运算

步骤 #	寄存器字段	启用简单平均计算	禁用简单平均计算
1	REG_BANK_SEL	2	2
2	EN_AVG	1	0
3	EN_MVG_AVG	1	0

Copyright © 2024 Texas Instruments Incorporated

6.3.6.4 数据接口测试图形

ADS9813 具有主机用于调试和验证数据接口的测试图形。测试图形使用预定义的数字数据替换 ADC 输出数据。通过配置组 1 中相应的寄存器地址 0x13 至 0x1B 来启用测试图形。

表 6-12 列出了 ADS9813 支持的测试图形。

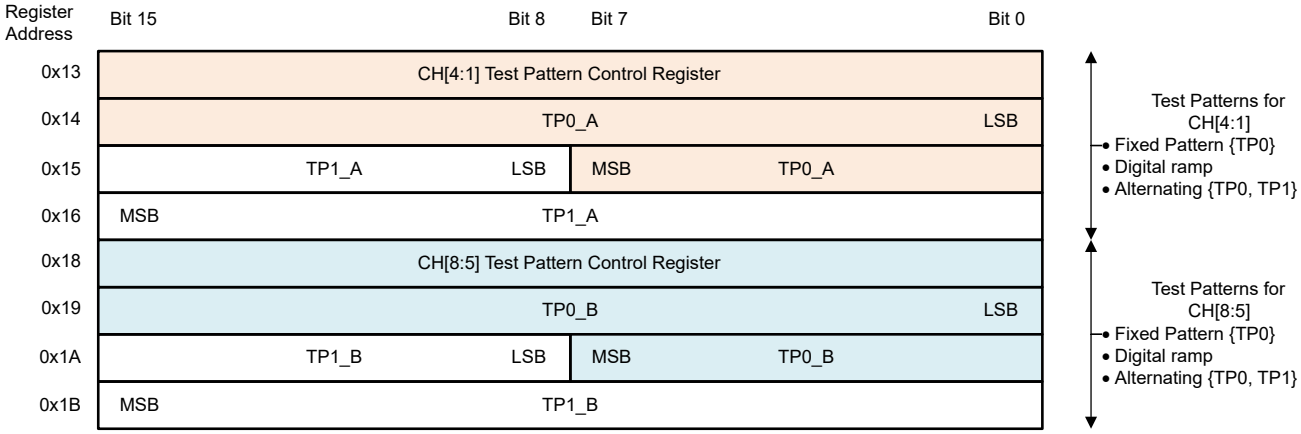


图 6-10. 用于测试图形的寄存器组

表 6-12. 测试图形配置

ADC 输出	TP_EN_CH[4:1] TP_EN_CH[8:5]	TP_MODE_CH[4:1] TP_MODE_CH[8:5]	段	结果 1
ADC 转换结果	0			
固定图形	1	0 或 1	*固定图形*	CH[4:1] = TP0_A CH[8:5] = TP0_B
数字斜坡	1	2	*数字斜坡*	CH[4:1] = 数字斜坡 CH[8:5] = 数字斜坡
交替测试图形	1	3	*交替测试图形*	CH[4:1] = TP0_A、TP1_A CH[8:5] = TP0_B、TP1_B

备注

1. 为两个单独的通道组 CH[4:1] 和 CH[8:5] 配置测试图形。

6.3.6.4.1 固定图形

ADC 分别输出在 TP0_A 和 TP0_B 寄存器中定义的固定图形，以代替 CH[4:1] 和 CH[8:5] 数据。

- 在 TP0_A 和 TP0_B 中配置测试图形
- 设置 TP_EN_CH[4:1] = 1、TP_MODE_CH[4:1] = 0（地址 = 0x13）、TP_EN_CH[8:5] = 1 和 TP_MODE_CH[8:5] = 0（地址 = 0x18）

6.3.6.4.2 数字斜坡

ADC 分别以 RAMP_INC_A 和 RAMP_INC_B 寄存器中指定的增量输出数字斜坡值，以代替 CH[4:1] 和 CH[8:5] 数据。

- 分别在 RAMP_INC_A（地址 = 0x13）和 RAMP_INC_B（地址 = 0x18）寄存器中配置数字斜坡的两个连续阶跃之间的增量值。数字斜坡递增 N + 1，其中 N 是在这些寄存器中配置的值。
- 设置 TP_EN_CH[4:1] = 1、TP_MODE_CH[4:1] = 2（地址 = 0x13）、TP_EN_CH[8:5] = 1 和 TP_MODE_CH[8:5] = 2（地址 = 0x18）

Copyright © 2024 Texas Instruments Incorporated

6.3.6.4.3 交替测试图形

ADC 分别输出在 TP0_A、TP1_A 和 TP0_B、TP1_B 寄存器中定义的交替测试图形，以代替 CH[4:1] 和 CH[8:5] 数据。

- 配置 TP0_A、TP1_A、TP0_B 和 TP1_B 中的测试图形
- 设置 TP_EN_CH[4:1] = 1、TP_MODE_CH[4:1] = 3（地址 = 0x13）、TP_EN_CH[8:5] = 1 和 TP_MODE_CH[8:5] = 3（地址 = 0x18）

Copyright © 2024 Texas Instruments Incorporated

6.4 器件功能模式

6.4.1 复位

通过 $\overline{\text{RESET}}$ 引脚上的逻辑 0，或通过向寄存器组 0 中地址 0x00 中的 RESET 字段写入 1b 将 ADS9813 断电。复位后，器件寄存器初始化为默认值，必须通过一系列寄存器写入操作对器件进行初始化。更多信息请参阅*初始化序列*部分。

6.4.2 断电

通过 $\overline{\text{PWDN}}$ 引脚上的逻辑 0，或通过向寄存器组 1 中地址 0xC0 中的 PD_CH 字段写入 11b 将 ADS9813 断电。加电后，器件寄存器初始化为默认值，必须通过一系列寄存器写入操作对器件进行初始化。更多信息请参阅*初始化序列*部分。

6.4.3 初始化序列

如表 6-13 所示，通过在器件上电或复位后进行一系列寄存器写入来初始化 ADS9813。在执行初始化序列之前，将自由运行的采样时钟连接到 ADC。初始化序列完成后，使用默认值初始化 ADS9813 寄存器。

表 6-13. ADS9813 初始化序列

STEP	寄存器			注释
	BANK	地址	VALUE[15:0]	
1	0	0x04	0x000B	INIT_1 已配置
2	0	0x03	0x0010	选择寄存器组 2
3	2	0x92	0x0002	INIT_2 已配置
3	2	0xC5	0x0604	初始化 PGA 并配置 INIT_3

如表 6-14 所示，针对用户定义的配置更改 ADS9813 的默认设置。对模拟输入的更改会改变模拟输入范围、带宽和共模电压范围。对数据接口的更改会改变输出通道数（单倍或双倍数据速率）。

表 6-14. ADS9813 用户配置

STEP	寄存器			注释
	BANK	地址	VALUE[15:0]	
1	1	0xC1	用户自定义	配置数据接口并选择内部或外部基准
2	1	0xC2 和 0xC3	用户自定义	选择模拟输入范围，请参阅表 6-1
3	1	0xC0	用户自定义	选择模拟输入带宽，请参阅表 6-2
4	1	0xC4 和 0xC5	用户自定义	选择模拟输入的共模范围，请参阅表 6-3 和表 6-4

6.4.4 正常运行

ADS9813 完成初始化后（请参阅*初始化序列*部分），ADS9813 将模拟输入电压转换为数字输出电压。器件正常运行需要一个自由运行的采样时钟；请参见 *ADC 采样时钟输入*部分。

Copyright © 2024 Texas Instruments Incorporated

6.4.5 速度升压模式

ADS9813 支持速度升压模式，允许用户选择的模拟输入通道对具有高达 8MSPS 的采样率。在速度升压模式下，仅转换用户选择的通道对，而其余 6 个模拟输入通道处于空闲状态。采样率等于采样时钟频率。用户可以从以下列表中选择模拟输入的任意对组合：

- CH1 和 CH8
- CH2 和 CH7
- CH3 和 CH6
- CH4 和 CH5

数据输出接口规格与正常运行模式保持不变。CH[4:1] 和 CH[8:5] 输出数据分别替换为所选通道对对应的数据。

表 6-15 展示了启用或禁用速度升压模式的寄存器操作。

表 6-15. 速度升压模式的寄存器操作

步骤 #	寄存器字段	启用速度升压	禁用速度升压
1	REG_BANK_SEL	2	2
2	BOOST_CFG1	3	0
3	BOOST_CFG2	1	0
4	EN_BOOST	1	0
5	SEL_CH_BOOST	• CH1 和 CH8 为 0 • CH2 和 CH7 为 1 • CH3 和 CH6 为 2 • CH4 和 CH5 为 3	0
6	REG_BANK_SEL	16	16
7	BOOST_CFG3	1	0
8	BOOST_CFG4	1	0

Copyright © 2024 Texas Instruments Incorporated

6.5 编程

6.5.1 寄存器写入

通过设置 SPI_RD_EN = 0b 来启用寄存器写入访问。16 位配置寄存器分为三个寄存器组，可以使用 8 位寄存器地址进行寻址。通过配置 REG_BANK_SEL 位，选择寄存器组 1 和寄存器组 2 进行读取或写入操作。无论 REG_BANK_SEL 位如何，组 0 中的寄存器始终都是可访问的。这些寄存器地址是唯一的，因此不在寄存器组 1 和 2 中使用。

如图 6-11 所示，写入寄存器的步骤包括：

1. 第 1 帧：写入寄存器组 0 中的寄存器地址 0x03，以选择寄存器组 1 或组 2 进行后续寄存器写入。当写入组 0 中的寄存器时，该帧不起作用。
2. 第 2 帧：写入第 1 帧中选择的组中的寄存器。重复此步骤以写入同一寄存器组中的多个寄存器。

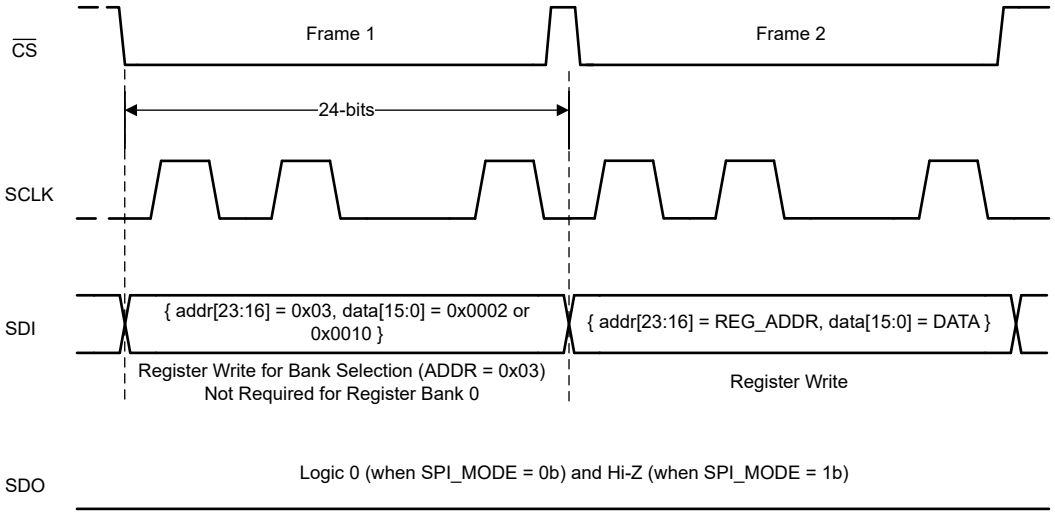


图 6-11. 寄存器写入

6.5.2 寄存器读取

通过写入寄存器组 0 中的寄存器地址 0x03 来选择所需的寄存器组。通过在寄存器组 0 中设置 SPI_RD_EN = 1b 和 SPI_MODE = 1b 来启用寄存器读取访问。如图 6-12 所示，设置 SPI_RD_EN 和 SPI_MODE 位后，可以使用两个 24 位 SPI 帧来读取寄存器。第一个 SPI 帧选择寄存器组。ADC 在第二个 SPI 帧中返回与该 8 位寄存器地址对应的 16 位寄存器值。

如图 6-12 所示，读取寄存器的步骤如下：

1. 第 1 帧：当 SPI_RD_EN = 0b 时，写入寄存器组 0 中的寄存器地址 0x03，以选择所需的寄存器组 0 进行读取。
2. 第 2 帧：在寄存器组 0 的寄存器地址 0x00 中设置 SPI_RD_EN = 1b 和 SPI_MODE = 1b。
3. 第 3 帧：使用包含所需寄存器地址的 24 位 SPI 帧读取所选组中的任何寄存器。对所选组中的任意寄存器地址重复此步骤以读取相应的寄存器。
4. 第 4 帧：设置 SPI_RD_EN = 0 以禁用寄存器读取并重新启用寄存器写入。
5. 重复步骤 1 到 4 以读取不同组中的寄存器。

Copyright © 2024 Texas Instruments Incorporated

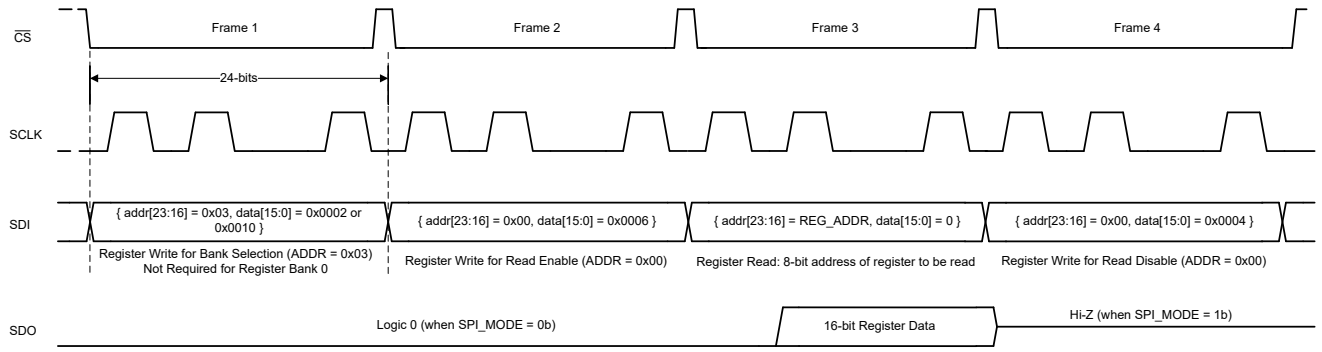


图 6-12. 寄存器读取

6.5.3 适用于 SPI 配置的菊花链拓扑中的多个器件

图 6-13 显示了在菊花链拓扑中有多个器件的典型连接图。

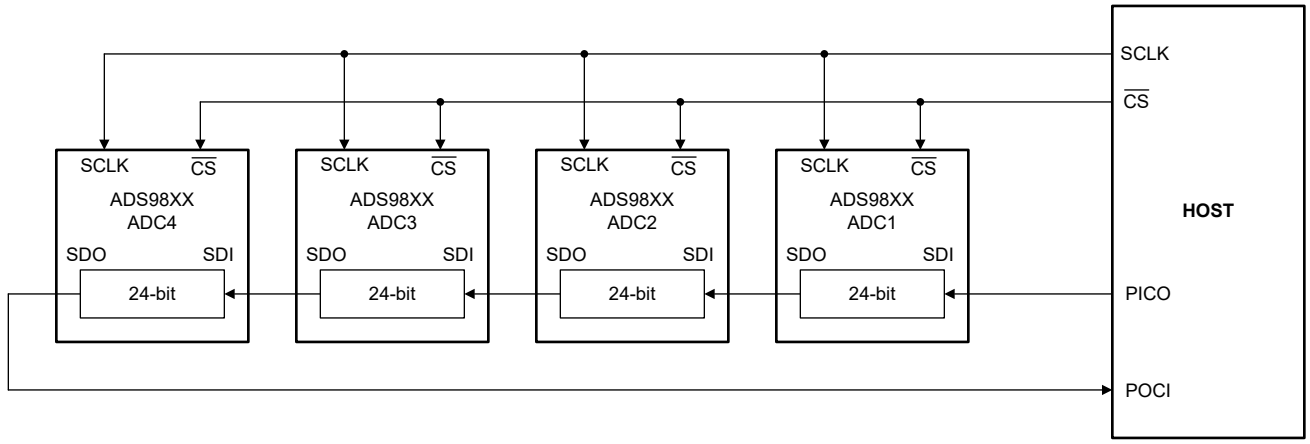


图 6-13. SPI 配置的菊花链连接

所有 ADC 的 $\overline{CS}$ 输入和 SCLK 输入都连接在一起，分别由控制器的单个 $\overline{CS}$ 引脚和 SCLK 引脚控制。链中第一个 ADC (ADC1) 的 SDI 输出引脚连接到控制器的外设 IN 控制器 OUT (PICO) 引脚。然后，ADC1 的 SDO 输出引脚连接到 ADC2 的 SDI 输入引脚，以此类推。链中最后一个 ADC (ADC4) 的 SDO 输出引脚连接到控制器的外设 OUT 控制器 IN (POCI) 引脚。只要 $\overline{CS}$ 处于活动状态，PICO 引脚上的数据就会以 24SCLK 延迟通过 ADC1。

必须在上电或器件复位后启用菊花链。在 DAISY_CHAIN_LEN 寄存器中设置菊花链长度以启用菊花链模式。菊花链长度是链中 ADC 数量，不包括 ADC1。在图 6-13 中，DAISY_CHAIN_LEN 为 3。

Copyright © 2024 Texas Instruments Incorporated

6.5.3.1 菊花链中的寄存器写入

写入菊花链中的寄存器需要一个 SPI 帧中具有 N × 24 个 SCLK。如图 6-13 所示，在包含四个 ADC 的菊花链中进行寄存器写入操作需要 96 个 SCLK。

菊花链模式在上电或器件复位后启用。配置 DAISY_CHAIN_LEN 字段以启用菊花链模式。将图 6-14 中的波形重复 N 次，其中 N 是菊花链中 ADC 的数量。图 6-15 提供了包含 N 个 SPI 帧的 SPI 波形，用于为 N 个 ADC 启用菊花链模式。

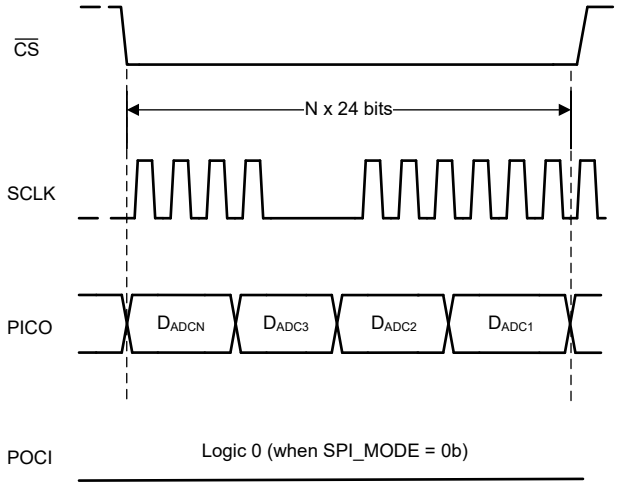


图 6-14. 菊花链中的寄存器写入

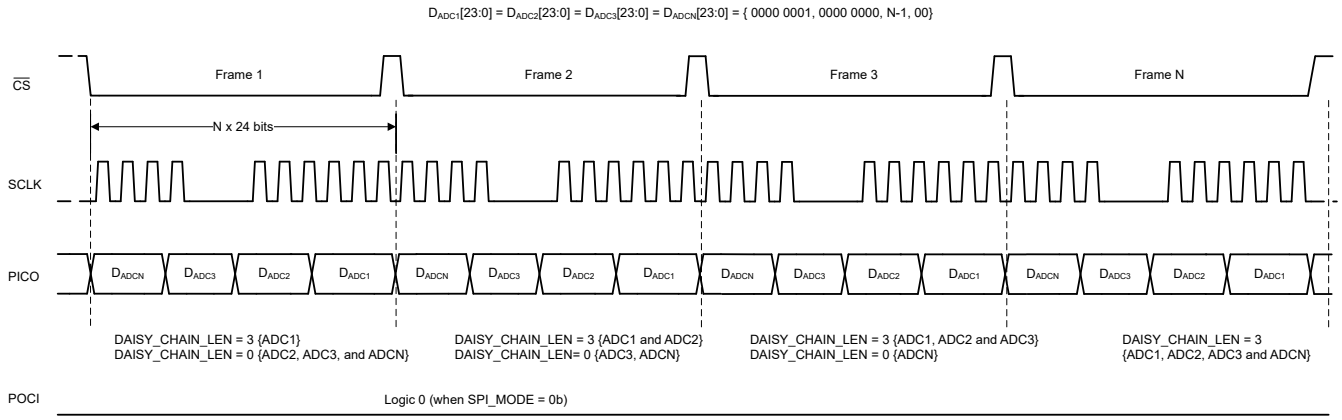


图 6-15. 写入寄存器以配置菊花链长度

Copyright © 2024 Texas Instruments Incorporated

6.5.3.2 菊花链中的寄存器读取

图 6-16 描绘了读取菊花链中的寄存器的 SPI 波形。从以菊花链方式连接的 N 个 ADC 中读取寄存器的步骤如下：

1. 通过使用*菊花链中的寄存器写入操作*来写入以下寄存器，可以启用寄存器读取：
   a. 写入 REG_BANK_SEL 以选择所需的寄存器组
   b. 通过写入 SPI_RD_EN = 0b 启用寄存器读取（默认上电时启用）
2. 选择寄存器组且 SPI_RD_EN = 0b 时，控制器会按以下两个步骤读取寄存器数据：
   a. 将读取包含 8 位寄存器地址的 N × 24 位 SPI 帧：N 倍 {0xFE、0x00、8 位寄存器地址}
   b. 将读取用于读出寄存器数据的 N × 24 位 SPI 帧：N 倍 {0xFF、0xFF、0xFF}

步骤 2a 中的 0xFE 可将 ADC 配置为从指定的 8 位地址读取寄存器。在步骤 2a 结束时，ADC 中的输出移位寄存器加载寄存器数据。ADC 在步骤 2b 中返回 8 位寄存器地址和相应的 16 位寄存器数据。

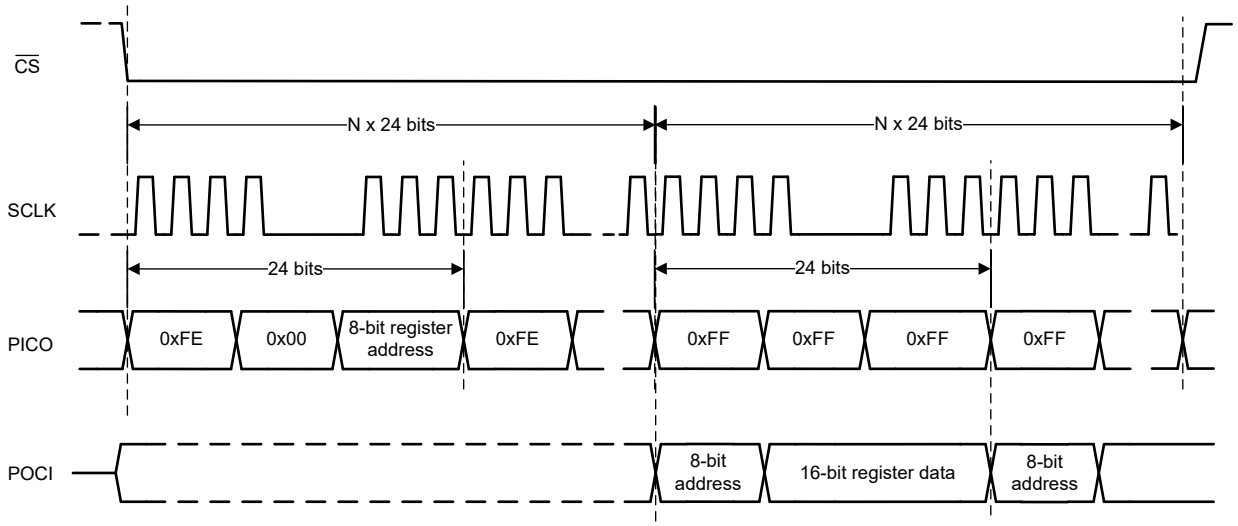


图 6-16. 菊花链中的寄存器读取

7 寄存器映射

7.1 寄存器组 0

图 7-1. 寄存器组 0 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00h	RESERVED													SPI_MODE	SPI_RD_EN	复位
01h	RESERVED									DAISY_CHAIN_LEN					RESERVED	
03h	RESERVED								REG_BANK_SEL							
04h	RESERVED												INIT_1			
06h	REG_00H_READBACK															

表 7-1. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

7.1.1 寄存器 00h (偏移 = 0h) [复位 = 0h]

图 7-2. 寄存器 00h

15	14	13	12	11	10	9	8
RESERVED							
W-0h							
7	6	5	4	3	2	1	0
RESERVED					SPI_MODE	SPI_RD_EN	复位
W-0h					W-0h	W-0h	W-0h

图 7-3. 寄存器 00h 字段说明

位	字段	类型	复位	说明
15-3	RESERVED	W	0h	保留。请勿更改默认复位值。
2	SPI_MODE	W	0h	在用于寄存器访问的配置接口的传统 SPI 模式和菊花链 SPI 模式之间进行选择。 0：菊花链 SPI 模式 1：传统 SPI 模式
1	SPI_RD_EN	W	0h	在传统 SPI 模式下启用寄存器读取访问。此位在菊花链 SPI 模式下无效。 0：已禁用寄存器读取 1：已启用寄存器读取
0	复位	W	0h	ADC 复位控制。 0：正常器件操作 1：复位 ADC 和所有寄存器

Copyright © 2024 Texas Instruments Incorporated

7.1.2 寄存器 01h（偏移 = 1h）[复位 = 0h]

图 7-4. 寄存器 01h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED	DAISY_CHAIN_LEN					RESERVED	
R/W-0h	R/W-0h					R/W-0h	

图 7-5. 寄存器 01h 字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R/W	0h	保留。请勿更改默认复位值。
6-2	DAISY_CHAIN_LEN	R/W	0h	在 SPI 菊花链中连接的 ADC 数量 0：1 个 ADC 1：2 个 ADC 31：32 个 ADC
1-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.1.3 寄存器 03h（偏移 = 3h）[复位 = 2h]

图 7-6. 寄存器 03h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
REG_BANK_SEL							
R/W-2h							

图 7-7. 寄存器 03h 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R/W	0h	保留。请勿更改默认复位值。
7-0	REG_BANK_SEL	R/W	2h	选择用于读取和写入操作的寄存器组。 0：选择寄存器组 0 2：选择寄存器组 1 16：选择寄存器组 2

Copyright © 2024 Texas Instruments Incorporated

7.1.4 寄存器 04h（偏移 = 4h）[复位 = 0h]

图 7-8. 寄存器 04h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED				INIT_1			
R/W-0h				R/W-0h			

图 7-9. 寄存器 04h 字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R/W	0h	保留。请勿更改默认复位值。
3-0	INIT_1	R/W	0h	设置为 0011b 以确保正常运行。有关更多详细信息，请参阅*初始化序列*部分。

7.1.5 寄存器 06h（偏移 = 6h）[复位 = 2h]

图 7-10. 寄存器 06h

15	14	13	12	11	10	9	8
REG_00H_READBACK							
R-0h							
7	6	5	4	3	2	1	0
REG_00H_READBACK							
R-5h							

图 7-11. 寄存器 06h 字段说明

位	字段	类型	复位	说明
15-0	REG_00H_READBACK	R	2h	该寄存器是用于读回的寄存器地址 0x00 的副本。

Copyright © 2024 Texas Instruments Incorporated

7.2 寄存器组 1

图 7-12. 寄存器组 1 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0Dh	RESERVED		DATA_FORMAT	RESERVED						EN_AVG	RESERVED					EN_MVG_AVG
12h	RESERVED											XOR_PRBS	XOR_EN	RESERVED		
13h	RESERVED								RAMP_INC_A				TP_MODE_A		TP_EN_A	RESERVED
14h	TP0_A															
15h	TP1_A								TP0_A							
16h	TP1_A															
18h	RESERVED								RAMP_INC_B				TP_MODE_B		TP_EN_B	RESERVED
19h	TP0_B															
1Ah	TP1_B								TP0_B							
1Bh	TP1_B															
1Ch	RESERVED		USER_BITS_CH[8:5]						RESERVED		USER_BITS_CH[4:1]					
37h	RESERVED													BOOST_CH_SEL		EN_BOOST
3Ch	RESERVED								AVG_CFG3	RESERVED						
92h	RESERVED														INIT_2	RESERVED
C0h	RESERVED						ANA_BW								PD_CH	
C1h	RESERVED				PD_REF	RESERVED	DATA_LANES	DATA_RATE	RESERVED							
C2h	RANGE_CH4				RANGE_CH3				RANGE_CH2				RANGE_CH1			
C3h	RANGE_CH8				RANGE_CH7				RANGE_CH6				RANGE_CH5			
C4h	RESERVED						CM_RNG_CH[8:5]		CM_RNG_CH[4:1]		AVG_CFG2		CM_EN_CH[8:5]	CM_EN_CH[4:1]	AVG_CFG1	PD_CHIP
C5h	BOOST_CFG1		RESERVED			INIT_3	PGA_IN1T2	RESERVED		AVG_CFG4		CM_CTRL_EN	BOOST_CFG2	PGA_IN1T1	RESERVED	

表 7-2. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2024 Texas Instruments Incorporated

7.2.1 寄存器 0Dh（偏移 = Dh）[复位 = 2002h]

图 7-13. 寄存器 0Dh

15	14	13	12	11	10	9	8
RESERVED		DATA_FORMAT	RESERVED				
R/W-0h		R/W-1h	R/W-0h				
7	6	5	4	3	2	1	0
RESERVED	EN_AVG	RESERVED					EN_MVG_AVG
R/W-0h	R/W-0h	R/W-1h					R/W-0h

图 7-14. 寄存器 0Dh 字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R/W	0h	保留。请勿更改默认复位值。
13	DATA_FORMAT	R/W	1h	选择 ADC 转换结果的数据格式。 0：直接二进制格式 1：二进制补码格式
12-7	RESERVED	R/W	0h	保留。请勿更改默认复位值。
6	EN_AVG	R/W	0h	设置 1b 以启用数据平均。请参阅 表 6-10 和 表 6-11 了解更多详细信息。
5-1	RESERVED	R/W	1h	保留。请勿更改默认复位值。
0	EN_MVG_AVG	R/W	0h	设置 1b 以启用移动数据平均。有关更多详细信息，请参阅 表 6-11。

寄存器 12h（偏移 = 12h）[复位 = 2h]

图 7-15. 寄存器 12h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED			XOR_PRBS	XOR_EN	RESERVED		
R/W-0h			R/W-0h	R/W-0h	R/W-2h		

图 7-16. 寄存器 12h 字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R/W	0h	保留。请勿更改默认复位值。
4	XOR_PRBS	R/W	0h	当 XOR_EN = 1b 时，选择用于异或运算的位。 0：PRBS 附加在 ADC 转换结果的 LSB 之后。ADC 转换结果与 PRBS 位进行逐位异或运算。 1：ADC 转换结果与 ADC 转换结果的 LSB 进行逐位异或运算。
3	XOR_EN	R/W	0h	对 ADC 转换结果启用异或运算。 0：已禁用 XOR 运算 1：使能对 ADC 转换结果的逐位异或运算
2-0	RESERVED	R/W	2h	保留。请勿更改默认复位值。

Copyright © 2024 Texas Instruments Incorporated

7.2.2 寄存器 13h（偏移 = 13h）[复位 = 0h]

图 7-17. 寄存器 13h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC_A				TP_MODE_A		TP_EN_A	RESERVED
R/W-0h				R/W-0h		R/W-0h	R/W-0h

图 7-18. 寄存器 13h 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R/W	0h	保留。请勿更改默认复位值。
7-4	RAMP_INC_A	R/W	0h	斜坡图形输出的增量值。输出斜坡递增 N+1，其中 N 是该寄存器中配置的值。
3-2	TP_MODE_A	R/W	0h	启用与模拟输入通道 1、2、3 和 4 对应的数据的数字测试图形。 0：TP0_A 寄存器中的固定图形 1：TP0_A 寄存器中的固定图形 2：数字斜坡输出 3：TP0_A 寄存器和 TP1_A 寄存器中的交替固定图形输出
1	TP_EN_A	R/W	0h	启用与通道 1、2、3 和 4 对应的数据的数字测试图形。 0：数据输出就是 ADC 转换结果 1：数据输出是通道 1、2、3 和 4 的数字测试图形
0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.2.3 寄存器 14h（偏移 = 14h）[复位 = 0h]

图 7-19. 寄存器 14h

15	14	13	12	11	10	9	8
TP0_A[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_A[15:0]							
R/W-0h							

图 7-20. 寄存器 14h 字段说明

位	字段	类型	复位	说明
15-0	TP0_A[15:0]	R/W	0h	测试图形 0 的低 16 位

Copyright © 2024 Texas Instruments Incorporated

7.2.4 寄存器 15h（偏移 = 15h）[复位 = 0h]

图 7-21. 寄存器 15h

15	14	13	12	11	10	9	8
TP1_A[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_A[23:16]							
R/W-0h							

图 7-22. 寄存器 15h 字段说明

位	字段	类型	复位	说明
15-8	TP1_A[7:0]	R/W	0h	测试图形 1 的低八位
7-0	TP0_A[23:16]	R/W	0h	测试图形 0 的高八位

7.2.5 寄存器 16h（偏移 = 16h）[复位 = 0h]

图 7-23. 寄存器 16h

15	14	13	12	11	10	9	8
TP1_A[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1_A[23:8]							
R/W-0h							

图 7-24. 寄存器 16h 字段说明

位	字段	类型	复位	说明
15-0	TP1_A[23:8]	R/W	0h	测试图形 1 的高 16 位

Copyright © 2024 Texas Instruments Incorporated

7.2.6 寄存器 18h（偏移 = 18h）[复位 = 0h]

图 7-25. 寄存器 18h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC_B				TP_MODE_B		TP_EN_B	RESERVED
R/W-0h				R/W-0h		R/W-0h	R/W-0h

图 7-26. 寄存器 18h 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R/W	0h	保留。请勿更改默认复位值。
7-4	RAMP_INC_B	R/W	0h	斜坡图形输出的增量值。输出斜坡递增 N+1，其中 N 是该寄存器中配置的值。
3-2	TP_MODE_B	R/W	0h	启用与模拟输入通道 5、6、7 和 8 对应的数据的数字测试图形。 0：TP0_B 寄存器中的固定图形 1：TP0_B 寄存器中的固定图形 2：数字斜坡输出 3：TP0_B 寄存器和 TP1_B 寄存器中的交替固定图形输出
1	TP_EN_B	R/W	0h	启用与通道 5、6、7 和 8 对应的数据的数字测试图形。 0：数据输出就是 ADC 转换结果 1：数据输出是数字测试图形
0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.2.7 寄存器 19h（偏移 = 19h）[复位 = 0h]

图 7-27. 寄存器 19h

15	14	13	12	11	10	9	8
TP0_B[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_B[15:0]							
R/W-0h							

图 7-28. 寄存器 19h 字段说明

位	字段	类型	复位	说明
15-0	TP0_B[15:0]	R/W	0h	测试图形 0 的低 16 位

Copyright © 2024 Texas Instruments Incorporated

7.2.8 寄存器 1Ah（偏移 = 1Ah）[复位 = 0h]

图 7-29. 寄存器 1Ah

15	14	13	12	11	10	9	8
TP1_B[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_B[23:16]							
R/W-0h							

图 7-30. 寄存器 1Ah 字段说明

位	字段	类型	复位	说明
15-8	TP1_B[7:0]	R/W	0h	测试图形 1 的低八位
7-0	TP0_B[23:16]	R/W	0h	测试图形 0 的高八位

7.2.9 寄存器 1Bh（偏移 = 1Bh）[复位 = 0h]

图 7-31. 寄存器 1Bh

15	14	13	12	11	10	9	8
TP1_B[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1_B[23:8]							
R/W-0h							

图 7-32. 寄存器 1Bh 字段说明

位	字段	类型	复位	说明
15-0	TP1_B[23:8]	R/W	0h	测试图形 1 的高 16 位

寄存器 1Ch（偏移 = 1Ch）[复位 = 0h]

图 7-33. 寄存器 1Ch

15	14	13	12	11	10	9	8
RESERVED		USER_BITS_CH[8:5]					
R/W-0h		R/W-0h					
7	6	5	4	3	2	1	0
RESERVED		USER_BITS_CH[4:1]					
R/W-0h		R/W-0h					

图 7-34. 寄存器 1Ch 字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R/W	0h	保留。请勿更改默认复位值。
13-8	USER_BITS_CH[8:5]	R/W	0h	附加到来自通道 5、6、7 和 8 的 ADC 转换结果的用户定义位。
7-6	RESERVED	R/W	0h	保留。请勿更改默认复位值。

Copyright © 2024 Texas Instruments Incorporated

图 7-34. 寄存器 1Ch 字段说明（续）

位	字段	类型	复位	说明
5-0	USER_BITS_CH[4:1]	R/W	0h	附加到来自通道 1、2、3 和 4 的 ADC 转换结果的用户定义位。

7.2.10 寄存器 37h（偏移 = 37h）[复位 = 0h]

图 7-35. 寄存器 37h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED					BOOST_CH_SEL		EN_BOOST
R/W-0h					R/W-0h		R/W-0h

图 7-36. 寄存器 37h 字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R/W	0h	保留。请勿更改默认复位值。
2-1	BOOST_CH_SEL	R/W	0h	为速度升压模式选择模拟输入通道对。 0：CH1 和 CH8 1：CH2 和 CH7 2：CH3 和 CH6 3：CH4 和 CH5
0	EN_BOOST	R/W	0h	启用速度升压模式。有关更多详细信息，请参阅*速度升压模式*。

7.2.11 寄存器 3Ch（偏移 = 3Ch）[复位 = 0h]

图 7-37. 寄存器 3Ch

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
AVG_CFG3	RESERVED						
R/W-0h	R/W-0h						

图 7-38. 寄存器 3Ch 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R/W	0h	保留。请勿更改默认复位值。
7	AVG_CFG3	R/W	0h	用于简单平均的配置。有关更多详细信息，请参阅表 6-10。
6-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

Copyright © 2024 Texas Instruments Incorporated

7.2.12 寄存器 92h（偏移 = 92h）[复位 = 0h]

图 7-39. 寄存器 92h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED						INIT_2	RESERVED
R/W-0h						R/W-0h	R/W-0h

图 7-40. 寄存器 92h 字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R/W	0h	保留。请勿更改默认复位值。
1	INIT_2	R/W	0h	设置为 1b 以确保正常运行。有关更多详细信息，请参阅*初始化序列*部分。
0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.2.13 寄存器 C0h（偏移 = C0h）[复位 = 0h]

图 7-41. 寄存器 C0h

15	14	13	12	11	10	9	8
RESERVED						ANA_BW	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
ANA_BW						PD_CH	
R/W-0h						R/W-0h	

图 7-42. 寄存器 C0h 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R/W	0h	保留。请勿更改默认复位值。
9-2	ANA_BW	R/W	0h	为各自的模拟输入通道选择模拟输入带宽。 MSB = 通道 8 的带宽控制 LSB = 通道 1 的带宽控制 0：低噪音模式 1：宽带宽模式
1-0	PD_CH	R/W	0h	模拟输入通道的断电控制。 0：正常运行 1：通道 5、6、7 和 8 断电 2：通道 1、2、3 和 4 断电 3：所有通道都断电

Copyright © 2024 Texas Instruments Incorporated

7.2.14 寄存器 C1h（偏移 = C1h）[复位 = 0h]

图 7-43. 寄存器 C1h

15	14	13	12	11	10	9	8
RESERVED				PD_REF	RESERVED	DATA_LANES	DATA_RATE
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED							
R/W-0h							

图 7-44. 寄存器 C1h 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0h	保留。请勿更改默认复位值。
11	PD_REF	R/W	0h	ADC 基准电压源选择。 0：已启用内部基准。 1：已禁用内部基准。将外部基准电压连接至 REFIO 引脚。
10	RESERVED	R/W	0h	保留。请勿更改默认复位值。
9	DATA_LANES	R/W	0h	为每个 ADC 通道选择输出数据通道数。 0：4 通道模式。CH[4:1] 据在引脚 D3 和 D2 上输出。CH[8:5] 数据在引脚 D1 和 D0 上输出。 1：2 通道模式。CH[4:1] 数据在引脚 D3 上输出。CH[8:5] 数据在引脚 D1 上输出。
8	DATA_RATE	R/W	0h	为数据接口选择数据速率。 0：双倍数据速率 (DDR) 1：单倍数据速率 (SDR)
7-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.2.15 寄存器 C2h（偏移 = C2h）[复位 = 0h]

图 7-45. 寄存器 C2h

15	14	13	12	11	10	9	8
RANGE_CH4				RANGE_CH3			
R/W-0h				R/W-0h			
7	6	5	4	3	2	1	0
RANGE_CH2				RANGE_CH1			
R/W-0h				R/W-0h			

图 7-46. 寄存器 C2h 字段说明

位	字段	类型	复位	说明
15-12	RANGE_CH4	R/W	0h	选择模拟输入电压范围。 0：±5V 1：±3.5V 2：±2.5V 3：±7V 4：±10V 5：±12V
11-8	RANGE_CH3	R/W	0h	
7-4	RANGE_CH2	R/W	0h	
3-0	RANGE_CH1	R/W	0h	

Copyright © 2024 Texas Instruments Incorporated

7.2.16 寄存器 C3h（偏移 = C3h）[复位 = 0h]

图 7-47. 寄存器 C3h

15	14	13	12	11	10	9	8
RANGE_CH8				RANGE_CH7			
R/W-0h				R/W-0h			
7	6	5	4	3	2	1	0
RANGE_CH6				RANGE_CH5			
R/W-0h				R/W-0h			

图 7-48. 寄存器 C3h 字段说明

位	字段	类型	复位	说明
15-12	RANGE_CH8	R/W	0h	选择模拟输入电压范围。 0：±5V 1：±3.5V 2：±2.5V 3：±7V 4：±10V 5：±12V
11-8	RANGE_CH7	R/W	0h	
7-4	RANGE_CH6	R/W	0h	
3-0	RANGE_CH5	R/W	0h	

寄存器 C4h（偏移 = C4h）[复位 = 0h]

图 7-49. 寄存器 C4h

15	14	13	12	11	10	9	8
RESERVED						CM_RNG_CH[8:5]	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
CM_RNG_CH[4:1]		AVG_CFG2		CM_EN_CH[8:5]	CM_EN_CH[4:1]	AVG_CFG1	PD_CHIP
R/W-0h		R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h

图 7-50. 寄存器 C4h 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R/W	0h	保留。请勿更改默认复位值。
9-8	CM_RNG_CH[8:5]	R/W	0h	CM_RNG_CH[4:1] 设置通道 1、2、3 和 4 的共模范围。 CM_RNG_CH[8:5] 设置通道 5、6、7 和 8 的共模范围。 0：CM 范围等于 ±RANGE/2 1：CM 范围等于 ±6V 2：CM 范围等于 ±12V
7-6	CM_RNG_CH[4:1]	R/W	0h	
5-4	AVG_CFG2	R/W	0h	用于简单平均的配置。有关更多详细信息，请参阅表 6-10。
3	CM_EN_CH[8:5]	R/W	0h	CM_EN_CH[4:1] 可启用通道 1 至 4 的宽共模范围控制。 CM_EN_CH[8:5] 可启用通道 5 至 8 的宽共模范围控制。 0：禁用宽共模范围控制 1：已启用宽共模范围控制
2	CM_EN_CH[4:1]	R/W	0h	
1	AVG_CFG1	R/W	0h	用于简单平均的配置。有关更多详细信息，请参阅表 6-10。
0	PD_CHIP	R/W	0h	完全芯片断电控制。 0：正常器件操作 1：完全器件断电

Copyright © 2024 Texas Instruments Incorporated

7.2.17 寄存器 C5h（偏移 = C5h）[复位 = 0h]

图 7-51. 寄存器 C5h

15	14	13	12	11	10	9	8
BOOST_CFG1		RESERVED			INIT_3	PGA_INIT2	RESERVED
R/W-0h		R/W-0h			R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED	AVG_CFG4		CM_CTRL_EN	BOOST_CFG2	PGA_INIT2	RESERVED	
R/W-0h	R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	

图 7-52. 寄存器 C5h 字段说明

位	字段	类型	复位	说明
15-14	BOOST_CFG1	R/W	0h	用于速度升压模式的配置。有关更多详细信息，请参阅表 6-15。
13-11	RESERVED	R/W	0h	保留。请勿更改默认复位值。
10	INIT_3	R/W	0h	设置为 1 时进行正常操作。更多详细信息，请参阅*初始化序列*。
9	PGA_INIT2	R/W	0h	用于 PGA 初始化的配置。设置为 1 时进行正常操作。更多详细信息，请参阅*初始化序列*。
8-7	RESERVED	R/W	0h	保留。请勿更改默认复位值。
6-5	AVG_CFG4	R/W	0h	用于简单平均的配置。有关更多详细信息，请参阅表 6-10。
4	CM_CTRL_EN	R/W	0h	启用所有模拟输入通道的宽共模范围控制。 0：所有模拟输入通道的 CM 范围为 ±12V 1：CM 范围在 CM_EN_CH[4:1]、CM_EN_CH[8:5]、CM_RNG_CH[4:1] 和 CM_RNG_CH[8:5] 寄存器中由用户定义
3	BOOST_CFG2	R/W	0h	用于速度升压模式的配置。有关更多详细信息，请参阅表 6-15。
2	PGA_INIT1	R/W	0h	用于 PGA 初始化的配置。设置为 1 时进行正常操作。更多详细信息，请参阅*初始化序列*。
1-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

Copyright © 2024 Texas Instruments Incorporated

7.3 寄存器组 2

图 7-53. 寄存器组 2 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
25h	RESERVED				BOOST_CFG4	RESERVED	BOOST_CFG3	RESERVED								

表 7-3. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

7.3.1 寄存器 25h（偏移 = 25h）[复位 = 0h]

图 7-54. 寄存器 25h

15	14	13	12	11	10	9	8
RESERVED				BOOST_CFG4	RESERVED	BOOST_CFG3	RESERVED
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED							
R/W-0h							

图 7-55. 寄存器 25h 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0h	保留。请勿更改默认复位值。
11	BOOST_CFG4	R/W	0h	用于速度升压模式的配置。有关更多详细信息，请参阅表 6-15。
10	RESERVED	R/W	0h	保留。请勿更改默认复位值。
9	BOOST_CFG3	R/W	0h	用于速度升压模式的配置。有关更多详细信息，请参阅表 6-15。
8-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

ADS9813 可以对多达八个模拟信号进行高精度测量。以下部分提供了在自动测试设备 (ATE) 系统中使用 ADS9813 的示例应用电路和建议。

8.2 典型应用

8.2.1 参数测量单元 (PMU)

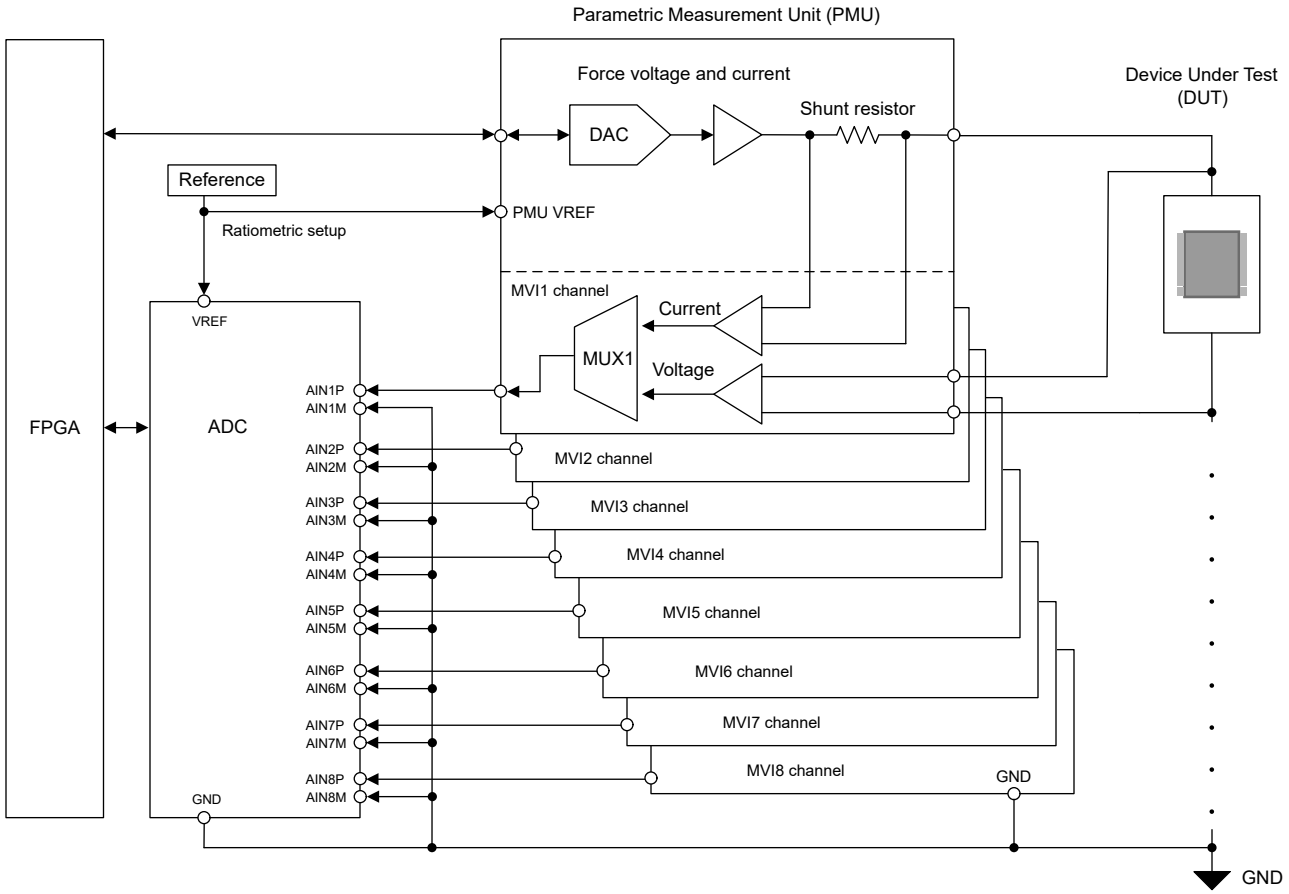


图 8-1. 典型 PMU

Copyright © 2024 Texas Instruments Incorporated

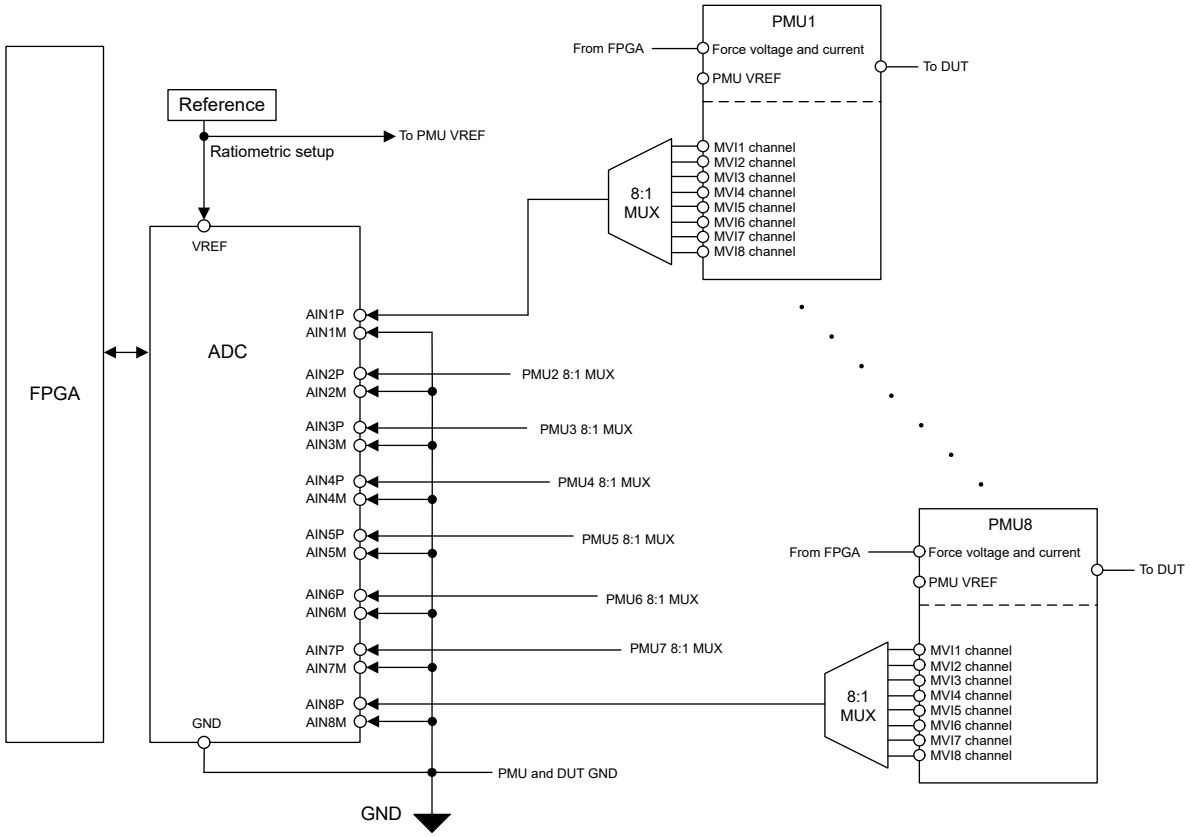


图 8-2. 带多路复用器的 PMU

8.2.2 设计要求

本应用的目标是为 ATE 应用选择一个 ADC。表 8-1 显示了此设计示例的参数。

表 8-1. 设计参数

参数	值
采样速率	高达 2MSPS/通道
在 25°C ±5°C 内的总体未调整误差 (TUE)	经过校准后 < 0.01%
支持外部开关或多路复用器	满量程阶跃在 10 µs 内稳定至满量程的 99.95%

8.2.3 详细设计过程

ADS9813 是一款八通道、18 位、2MSPS 数据采集 (DAQ) 系统。该器件有一个内置的模拟前端，使得 ATE 信号链更易于设计且更加准确。

ADC 精度基于总体未调误差 (TUE)，其中包括 INL、失调电压和增益误差。校准外部系统在额定温度和电源电压下的失调电压和增益误差。校准后（如表 8-2 中所述），只有 INL、热温漂和增益会影响 TUE。ADS9813 在 25°C ±5°C 校准后的 TUE 为 0.0015%，这符合设计误差要求。

表 8-2. RANGE = ±5V、T_A = 25°C 时的 TUE 计算

校准	INL (ppm)	失调电压误差 (ppm)	增益误差 (ppm)	TUE (ppm)	误差 (%)
无需校准	±3.2	±60	±80	±100.05	±0.0100
校准后	±3.2	0	0	±3.2	±0.0003
校准后 ±5°C	±3.2	±7.5	±12.5	±14.92	±0.0015

引脚电子子系统管理 PMU 输出。该子系统将每个 PMU 输出连接到单独的 ADC 通道（图 8-1），或使用多路复用器将多个 PMU 输出连接到一个 ADC 通道（图 8-2）。该子系统允许在卡上使用更多的引脚电子通道。为了在切换 PMU 通道时实现快速稳定，ADC 需要更多的带宽与多路复用器（表 8-3）。ADS9813 具有两种带宽模式：低噪声（高达 22.7kHz）和高带宽（高达 700kHz）。如图 8-3 中所述，宽带宽模式对多路复用 PMU 信号进行采样并在 7.5µs 内稳定到 99.95% FS。

表 8-3. RANGE = ±5V 时的阶跃稳定性能

模拟输入带宽	稳定时间（99.95% FS）	SNR（典型值）
低带宽 (22.7kHz)	55 µ s	89.1dB
宽带宽 (500kHz)	7.5 µ s	79.7dB

8.2.4 应用曲线

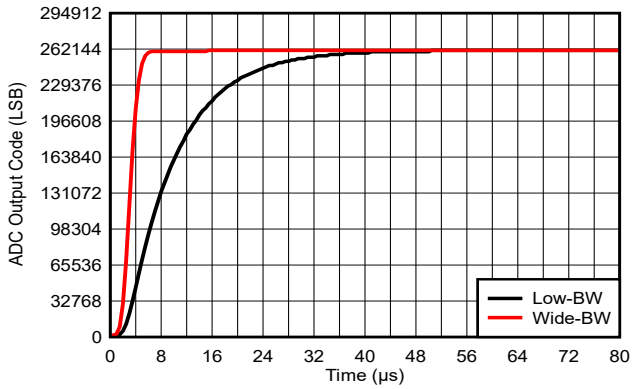


图 8-3. 阶跃稳定性能

Copyright © 2024 Texas Instruments Incorporated

8.3 电源相关建议

ADS9813 具有三个独立电源：AVDD_5V、VDD_1V8 和 IOVDD。不需要特定的上电顺序。数据和配置数字接口由 IOVDD 供电。常见 1.8V 电源为 VDD_1V8 和 IOVDD 引脚供电。图 8-4 显示了相应电源的去耦电容器连接。确保每个电源引脚具有单独的去耦电容器。

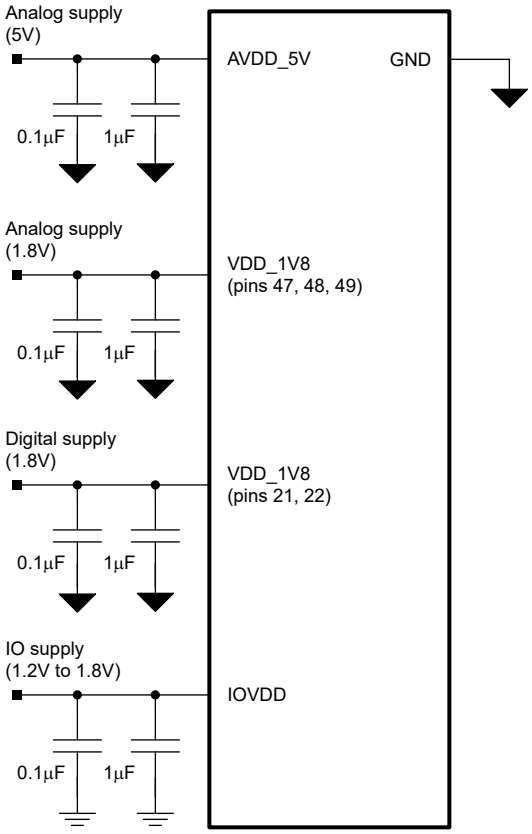


图 8-4. 电源去耦

8.4 布局

8.4.1 布局指南

图 8-5 显示了 ADS9813 的电路板布局布线示例。避免数字线路与模拟信号路径交叉，并使模拟输入信号和基准信号远离噪声源。

在靠近 AVDD_5V、VDD_1V8 和 IOVDD 电源引脚的位置使用 0.1 µ F 陶瓷旁路电容器。避免在电源引脚和旁路电容器之间放置过孔。

将基准去耦电容器放置在靠近器件的 REFIO 引脚和 REFM 引脚的位置。避免在 REFIO 引脚和旁路电容器之间放置过孔。使用较短的低阻抗路径将 GND 引脚和 REFM 引脚连接到接地层。

8.4.2 布局示例

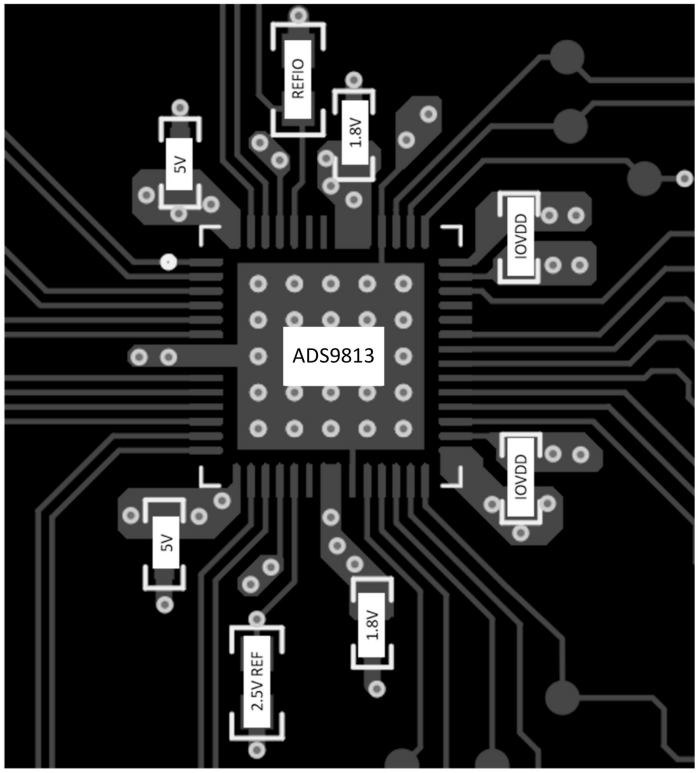


图 8-5. 示例布局

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2024) to Revision A (November 2024)	Page
• 将文档从“预告信息”更改为*量产*数据	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS9810RSHR	Active	Production	VQFN (RSH) | 56	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9810
ADS9810RSHR.A	Active	Production	VQFN (RSH) | 56	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9810
ADS9811RSHR	Active	Production	VQFN (RSH) | 56	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9811
ADS9811RSHR.A	Active	Production	VQFN (RSH) | 56	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9811
ADS9813RSHR	Active	Production	VQFN (RSH) | 56	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9813
ADS9813RSHR.A	Active	Production	VQFN (RSH) | 56	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9813

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

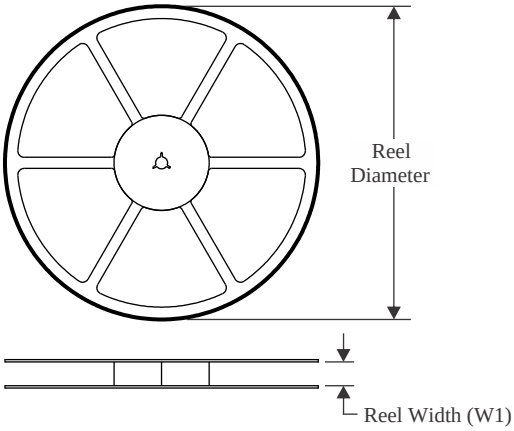
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

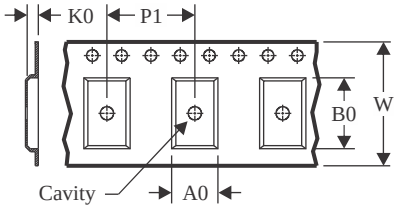
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

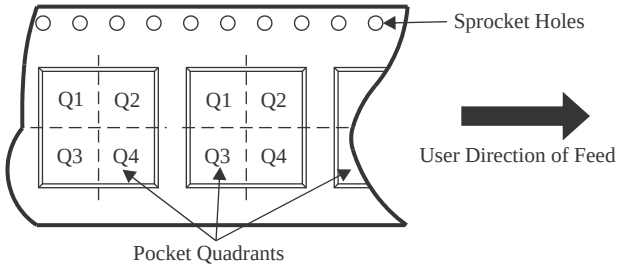


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

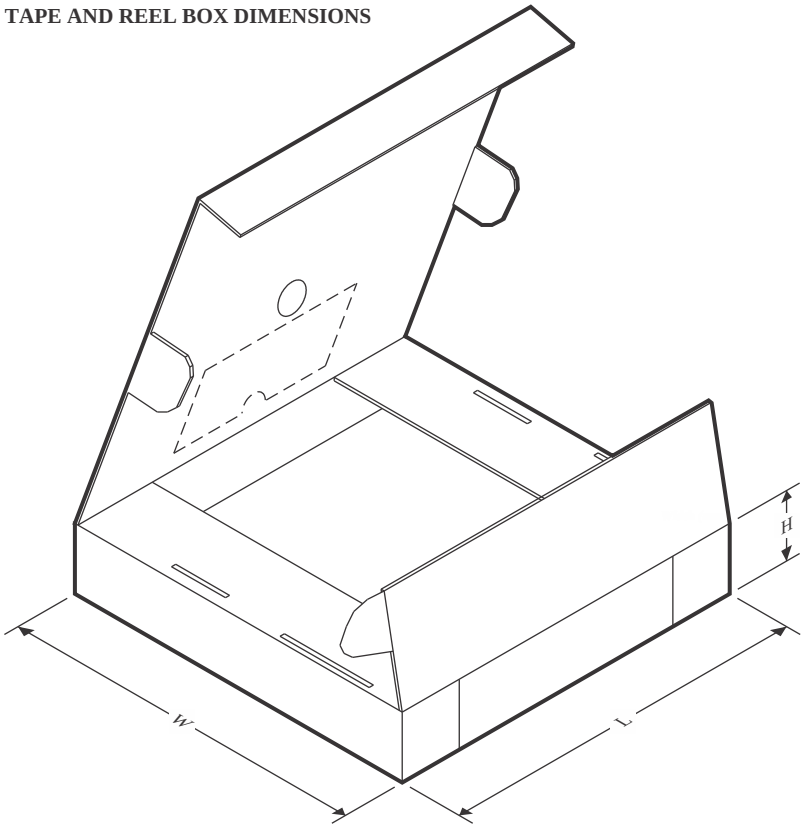
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS9810RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
ADS9811RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
ADS9813RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

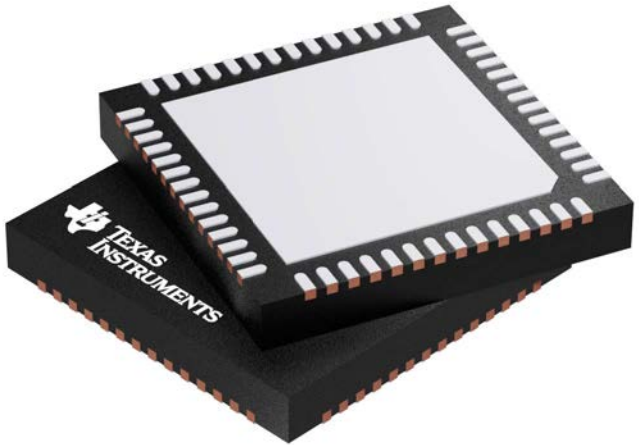
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS9810RSHR	VQFN	RSH	56	4000	367.0	367.0	35.0
ADS9811RSHR	VQFN	RSH	56	4000	367.0	367.0	35.0
ADS9813RSHR	VQFN	RSH	56	4000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

RSH 56

VQFN - 1 mm max height

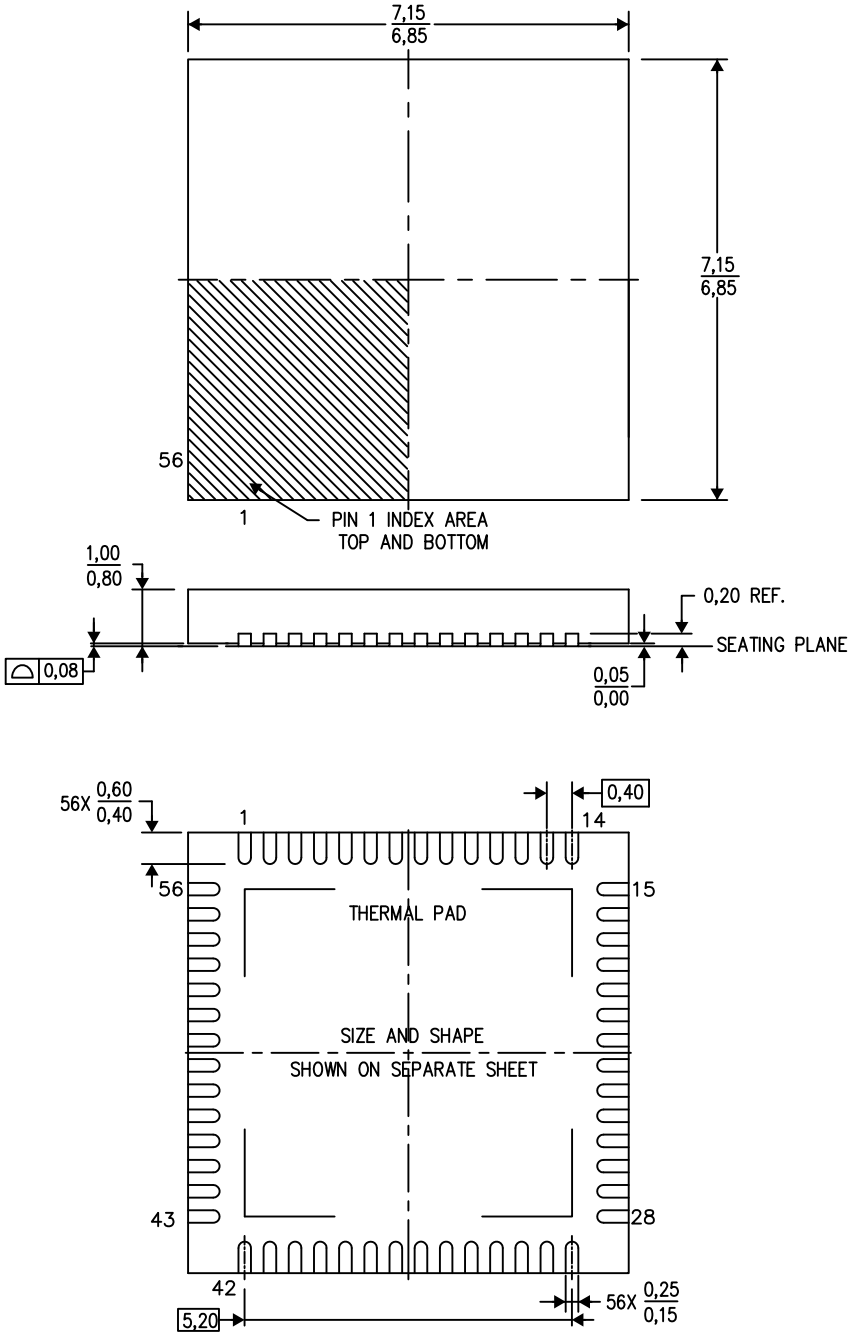
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207513/D

RSH (S–PVQFN–N56) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Quad Flatpack, No–leads (QFN) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

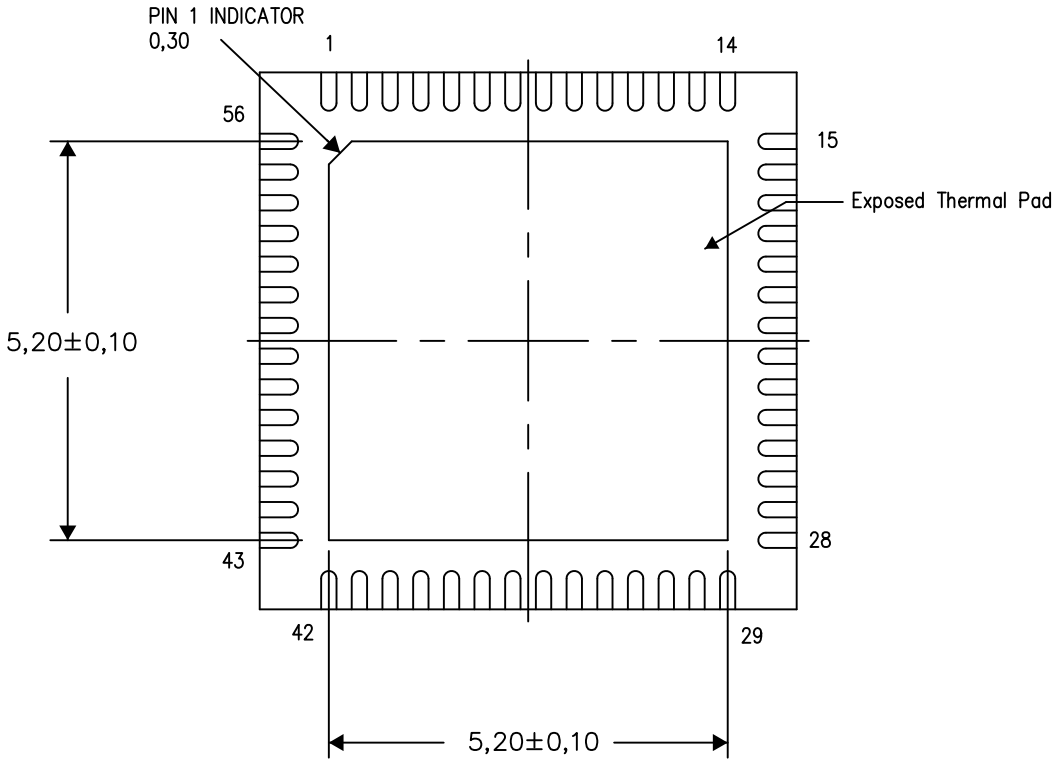
RSH (S–PVQFN–N56) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



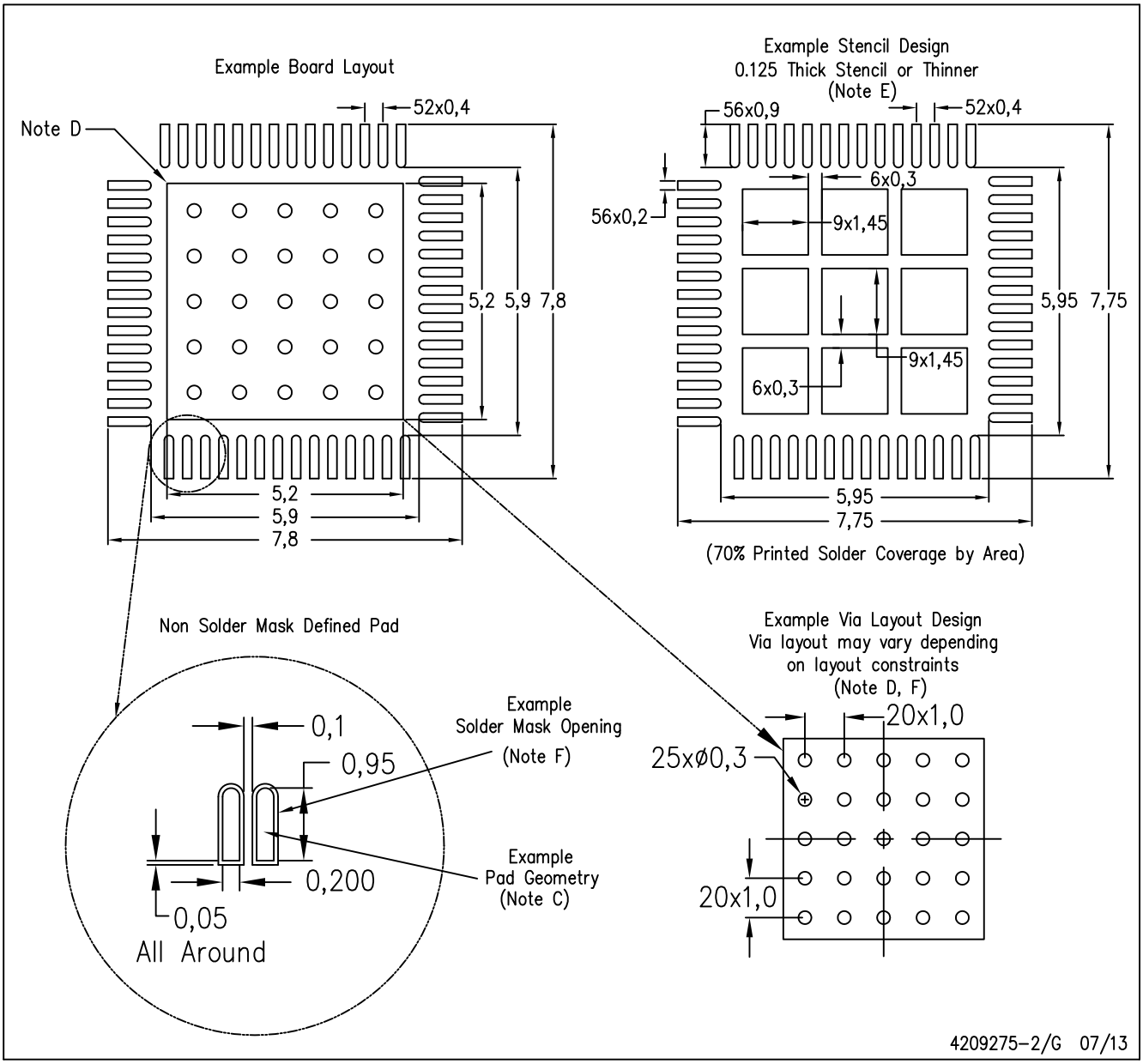
Bottom View

Exposed Thermal Pad Dimensions

4207553–2/I 07/13

NOTE: All linear dimensions are in millimeters

RSH (S–PVQFN–N56) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月