TRF1305A1 15dB 增益、单通道、直流至 > 5GHz 带宽射频全差分放大器

1 特性

- 三种性能经优化的功率增益型号：
  - 15dB (TRF1305A1)
  - 10dB (TRF1305B1)
  - 5dB (TRF1305C1)
- 可以通过外部电阻器来降低固定增益
- 宽大信号射频带宽：
  - D2D：5.7GHz (3dB)、5GHz (1dB)
  - S2D：6GHz (3dB)、5GHz (1dB)
- OP1dB（差分 100Ω 负载）：
  - D2D：15.2dBm (2GHz)、12.2dBm (4GHz)
  - S2D：15.2dBm (2GHz)、11.9dBm (4GHz)
- OIP3（P_O = 1dBm/子载波）：
  - D2D：33dBm (2GHz)、22.5dBm (4GHz)
  - S2D：33dBm (2GHz)、23dBm (4GHz)
- 噪声系数：
  - D2D：9dB (2GHz)、11.6dB (4GHz)
  - S2D：8.9dB (2GHz)、11.5dB (4GHz)
- 压摆率：25kV/μs
- 大输入 (±1V) 和输出 (±0.5V) 共模电压范围
- 灵活的配置和模式：
  - 单端输入、差分输出 (S2D)
  - 差分输入、差分输出 (D2D)
  - 交流或直流耦合输入/输出
  - 可调输出共模电压
  - 输入共模范围扩展模式
- 支持 5V 的单电源或双电源
- 有功功率损耗：495mW
- 断电模式

2 应用

- 射频采样或 GSPS ADC 驱动器
- 测试和测量
- 无线通信测试
- 射频数字转换器
- 示波器 (DSO)
- 高速数字转换器
- 频谱分析仪
- 矢量信号收发器 (VST)
- 质谱系统
- 共模电平转换
- IQ 混频器接口

3 说明

TRF1305A1 是一款超高性能闭环单通道射频放大器，工作带宽从真直流到 5GHz 以上。该器件具有出色的性能，可通过直流或交流耦合接口驱动高速、高性能 ADC，例如 ADC12DJ5200RF 和 ADC32RF5x。该放大器针对射频、零中频和复杂中频以及高速时域应用进行了优化。该器件在固定增益配置下针对性能进行了优化。如果需要较低的增益，请使用外部电阻器。

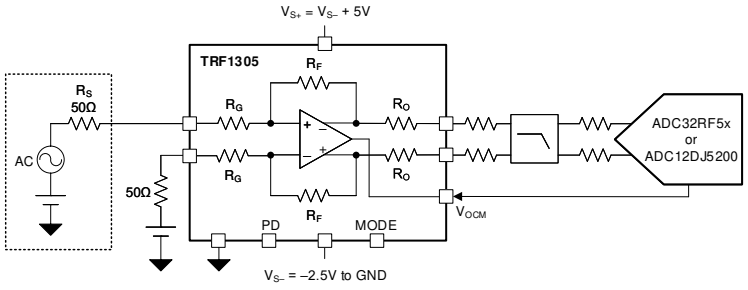
TRF1305A1 具有一个 VOCM 引脚，允许设置不同的输出共模电压和输入共模电压；例如，用于电平转换或大多数具有不同直流共模电压的 IQ 降压转换器 ADC 接口应用。TRF1305A1 还具有浮动双电源轨双电源或单电源选项，以及允许将输入共模范围扩展至更接近电源的 MODE 引脚。器件还具备断电功能。

该器件采用 TI 专有的先进 BiCMOS 工艺制造，并使用紧凑型 2mm × 2mm WQFN-FCRLF 封装。

器件信息

器件型号(1)	功率增益	封装(2)
TRF1305A1	15dB	RPV (WQFN-FCRLF，12)
TRF1305B1	10dB	
TRF1305C1	5dB	

(1) 具体请参阅节 4。
(2) 有关更多信息，请参阅 节 11。



驱动高速 ADC、采用 S2D 配置的 TRF1305A1

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....2
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....4
6.4 热性能信息.....4
6.5 电气特性 - D2D 配置下的交流规格.....6
6.6 电气特性 - S2D 配置下的交流规格.....8
6.7 电气特性 - 直流和时序规格.....10
6.8 典型特性：D2D 配置.....11
6.9 典型特性：S2D 配置.....21
7 详细说明.....29
7.1 概述.....29
7.2 功能方框图.....29
7.3 特性说明.....29
7.4 器件功能模式.....31
8 应用和实施.....32
8.1 应用信息.....32
8.2 典型应用.....36
8.3 电源相关建议.....38
8.4 布局.....39
9 器件和文档支持.....40
9.1 文档支持.....40
9.2 接收文档更新通知.....40
9.3 支持资源.....40
9.4 商标.....40
9.5 静电放电警告.....40
9.6 术语表.....40
10 修订历史记录.....40
11 机械、封装和可订购信息.....40

4 器件比较表

器件	增益	通道数
TRF1305A1	15dB	1
TRF1305B1	10dB	
TRF1305C1	5dB	
TRF1305A2	15dB	2
TRF1305B2	10dB	
TRF1305C2	5dB	

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

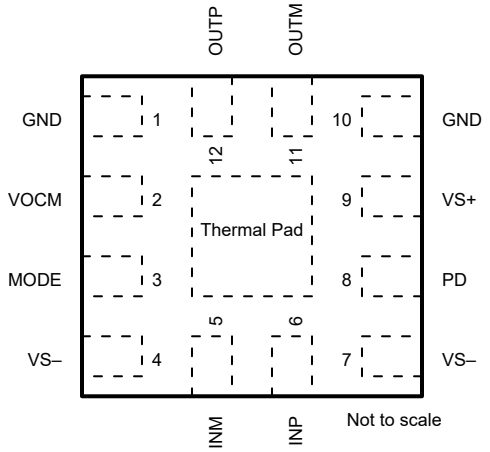


图 5-1. RPV 封装，12 引脚 WQFN-FCRLF（顶视图）

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
GND	1、10	接地	接地。射频信号和 PD 控制信号的基准。连接到电路板上的接地平面。在内部短接至散热焊盘。
INM	5	输入	差分输入信号的负极侧
INP	6	输入	差分输入信号的正极侧
模式	3	输入	模式选择引脚。另请参阅节 7.4.1。
OUTM	11	输出	差分输出信号的负极侧
OUTP	12	输出	差分输出信号的正极侧
PD	8	输入	断电信号，以 GND 为基准。支持 1.8V 和 3.3V 逻辑电平。 逻辑 0 或开路 = 器件已启用。逻辑 1 = 器件已断电。
VOCM	2	输入	输出共模电压输入引脚。将该引脚悬空会将输出共模电压设置为 V_{S-} + 2.5V。
VS–	4、7	电源	负电源电压
VS+	9	电源	正电源电压
散热焊盘	Pad	接地	散热焊盘。连接到电路板上的散热接地平面。内部短接至 GND。

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{S-}	负电源电压，以 GND 为基准		-3	0.3	V
V_{S+}	正电源电压		-0.3	V_{S-} + 5.5	V
V_S	总电源电压，$V_S = V_{S+} - V_{S-}$		-0.3	5.5	V
P_{IN}	输入射频功率(2)			20	dBm
V_{PD}	PD 引脚电压，以 GND 为基准	$V_{S+} \geq 3.3V$	-0.3	3.6	V
		$V_{S+} < 3.3V$	-0.3	V_{S+} + 0.3	
V_{OCM}	VOCM 引脚电压		V_{S-} + 1	V_{S-} + 4	V
V_{MODE}	MODE 引脚电压		V_{S-} – 0.3	V_{S-} + 3.3	V
T_J	结温		-40	150	°C
T_{stg}	贮存温度		-40	150	°C

(1) 在 *绝对最大额定值* 范围外运行可能会对器件造成永久损坏。*绝对最大额定值* 并不表示器件能够在该等条件下或在任何超出*建议运行条件* 的其他条件下正常运行。如果在 *建议运行条件* 以外，但在 *绝对最大额定值* 范围以内使用，器件可能无法完全正常运行，这可能会影响器件的可靠性、功能与性能，并且可能缩短器件寿命。
(2) 当器件电源存在时；否则，请将器件引脚上的摆幅限制为 V_{S-} ± 0.3V。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{S-}	负电源电压	-2.5		0	V
V_S	总电源电压，$V_S = V_{S+} - V_{S-}$	4.75	5	5.25	V
T_J	结温	-40		125	°C

6.4 热性能信息

热指标(1)		TRF1305A1 RPV (WQFN-FCRLF) 12 引脚	单位
$R_{\theta JA}$	结至环境热阻	62.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	29.1	°C/W
$R_{\theta JB}$	结至电路板热阻	26.1	°C/W
Ψ_{JT}	结至顶部特征参数	0.5	°C/W
Ψ_{JB}	结至电路板特征参数	26.1	°C/W

Copyright © 2025 Texas Instruments Incorporated

热指标(1)		TRF1305A1 RPV (WQFN-FCRLF) 12 引脚	单位
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	18.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 电气特性 - D2D 配置下的交流规格

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出，差分源阻抗 (Z_S) = 100Ω，差分输出负载 (Z_L) = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SER}，输出剥离至器件引脚（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽 (3dB)	每个输入端的 P_{IN} = –20dBm			5.7		GHz
	小信号带宽 (1dB)	每个输入端的 P_{IN} = –20dBm			5		
LSBW	大信号带宽 (3dB)	差分 P_{IN} = –8dBm			5.7		GHz
	大信号带宽 (1dB)	差分 P_{IN} = –8dBm			5		
Sdd21	功率增益	f = 500MHz			15		dB
		f = 4GHz			15.5		
	不同温度下的增益变化	f = 4GHz，T_A = –40℃ 至 +85℃			1.5		dB
Sdd11	输入回波损耗	f = 10MHz 至 5GHz			-12		dB
Sdd12	反向隔离	f < 5GHz（器件启用）			-27		dB
OP1dB	输出 1dB 压缩点	f = 500MHz			15.5		dBm
		f = 1GHz			15.8		
		f = 2GHz			15.2		
		f = 3GHz			14.2		
		f = 4GHz			12.2		
		f = 5GHz			9.9		
HD2	二阶谐波失真	V_O = $2V_{PP}$	f = 500MHz		-83		dBc
			f = 1GHz		-67		
			f = 2GHz		-61		
			f = 3GHz		-57		
			f = 4GHz		-57		
HD3	三阶谐波失真	V_O = $2V_{PP}$	f = 500MHz		-70		dBc
			f = 1GHz		-63		
			f = 2GHz		-63		
			f = 3GHz		-50		
			f = 4GHz		-46		
OIP2	输出二阶截点	P_O = 1dBm/子载波，2MHz 间隔	f = 500MHz		85		dBm
			f = 1GHz		68		
			f = 2GHz		62		
			f = 3GHz		58		
			f = 4GHz		59		
			f = 5GHz		55		
OIP3	输出三阶截取点	P_O = 1dBm/子载波，2MHz 间隔	f = 500MHz		45		dBm
			f = 1GHz		41		
			f = 2GHz		33		
			f = 3GHz		29		
			f = 4GHz		22.5		
			f = 5GHz		19		

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性 - D2D 配置下的交流规格（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出，差分源阻抗 (Z_S) = 100Ω，差分输出负载 (Z_L) = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SER}，输出剥离至器件引脚（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
NF	噪声系数	f = 500MHz		7		dB
		f = 1GHz		7.5		
		f = 2GHz		9		
		f = 3GHz		10.3		
		f = 4GHz		11.6		
		f = 5GHz		12.3		
NSD	输出噪声频谱密度	f = 500MHz		-152		dBm/Hz
		f = 1GHz		-151.4		
		f = 2GHz		-149.3		
		f = 3GHz		-147.8		
		f = 4GHz		-146.8		
		f = 5GHz		-147.9		

Copyright © 2025 Texas Instruments Incorporated

6.6 电气特性 - S2D 配置下的交流规格

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽 (3dB)	每个输入端的 P_{IN} = –20dBm			6		GHz
	小信号带宽 (1dB)	每个输入端的 P_{IN} = –20dBm			5		
LSBW	大信号带宽 (3dB)	单端 P_{IN} = –8dBm			6		GHz
	大信号带宽 (1dB)	单端 P_{IN} = –8dBm			5		
Sds21	功率增益	f = 500MHz			15.5		dB
		f = 4GHz			15.5		
	不同温度下的增益变化	f = 4GHz，T_A = –40℃ 至 +85℃			1.5		dB
Sss11	输入回波损耗	f = 10Mhz 至 3GHz(1)			-10		dB
Sss11	输入回波损耗	f = 4GHz(1)			-8		
Sss11	输入回波损耗	f = 5GHz(1)			-7.5		
Ssd12	反向隔离	f < 5GHz（器件启用）			-26		dB
G_{IMB}	差分输出增益不平衡	f < 5GHz，P_{IN} = –20dBm，Z_S 为 50Ω			0.2		dB
PH_{IMB}	差分输出相位不平衡	f < 5GHz，P_{IN} = –20dBm，Z_S 为 50Ω			2		°
OP1dB	输出 1dB 压缩点	f = 500MHz			15.4		dBm
		f = 1GHz			15.7		
		f = 2GHz			15.2		
		f = 3GHz			14		
		f = 4GHz			11.9		
		f = 5GHz			10		
HD2	二阶谐波失真	V_O = $2V_{PP}$	f = 500MHz		-57		dBc
			f = 1GHz		-53		
			f = 2GHz		-52		
			f = 3GHz		-50		
			f = 4GHz		-45		
HD3	三阶谐波失真	V_O = $2V_{PP}$	f = 500MHz		-68		dBc
			f = 1GHz		-62		
			f = 2GHz		-64		
			f = 3GHz		-50		
			f = 4GHz		-45		
OIP2	输出二阶截点	P_O = 1dBm/子载波，2MHz 间隔	f = 500MHz		70		dBm
			f = 1GHz		64		
			f = 2GHz		51		
			f = 3GHz		52		
			f = 4GHz		45		
			f = 5GHz		44		
OIP3	输出三阶截取点	P_O = 1dBm/子载波，2MHz 间隔	f = 500MHz		44		dBm
			f = 1GHz		39		
			f = 2GHz		33		
			f = 3GHz		28.5		
			f = 4GHz		23		
			f = 5GHz		20		

Copyright © 2025 Texas Instruments Incorporated

6.6 电气特性 - S2D 配置下的交流规格（续）

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
NF	噪声系数	f = 500MHz		7.2		dB
		f = 1GHz		8.3		
		f = 2GHz		8.9		
		f = 3GHz		10.7		
		f = 4GHz		11.5		
		f = 5GHz		12.6		
NSD	输出噪声频谱密度	f = 500MHz		-151.3		dBm/Hz
		f = 1GHz		-150.2		
		f = 2GHz		-149.6		
		f = 3GHz		-147.7		
		f = 4GHz		-147		
		f = 5GHz		-146.8		

(1) 有关改善输入回波损耗的方法，请参阅 节 8.1.1.1。

Copyright © 2025 Texas Instruments Incorporated

6.7 电气特性 - 直流和时序规格

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，Z_L = 100Ω，并且规格适用于 S2D 和 D2D 配置（除非另有说明）

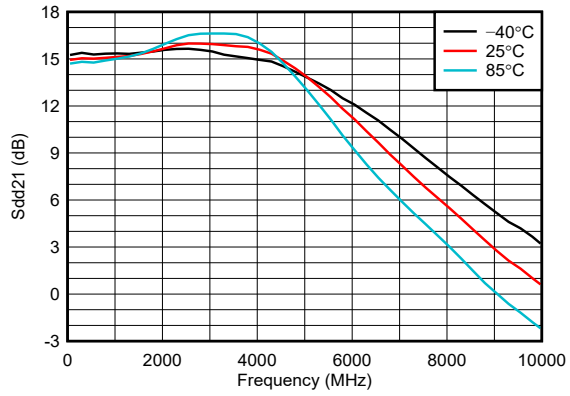
参数		测试条件	最小值	典型值	最大值	单位
直流性能						
V_{OD-MAX}	最大差分输出电压	f = 1GHz		4		V_{PP}
	压摆率	2V V_O 阶跃，直流耦合，V_{S+} = 2.5V，V_{S-} = –2.5V		25		kV/µs
	输出差分失调电压			±3		mV
	过驱动恢复时间	直流耦合，V_{S+} = 2.5V，V_{S-} = –2.5V，从每个 SE 输出的 2 倍过驱到每个输出电压稳定至 <±50mV		6		ns
共模						
V_{ICM}	输入共模电压	默认范围(1)	V_{S-} + 1.5		V_{S-} + 3.5	V
V_{OCM}	输出共模电压		V_{S-} + 2		V_{S-} + 3	V
	来自 V_{OCM} 电压的输出共模失调电压		-20		20	mV
阻抗						
Z_{IN-SE}	单端输入阻抗	S2D，INP 引脚，在 INM 引脚上端接 50Ω 电阻		45.8		Ω
$Z_{IN-DIFF}$	差分输入阻抗	D2D，面向器件引脚		13.5		Ω
		D2D，面向 R_{IN_SH}，请参阅 图 8-7		59.7		
Z_{O-DIFF}	差分输出阻抗	f = 近直流		8		Ω
电源						
I_{QA}	有源静态电流			99		mA
I_{QPD}	关断静态电流			14		mA
断电						
V_{PD_Hi}	PD 引脚逻辑高电平	以 GND 为基准，请参阅 节 6.1	1.35			V
V_{PD_Lo}	PD 引脚逻辑低电平	以 GND 为基准，请参阅 节 6.1			0.3	V
I_{PD_Bias}	PD 偏置电流（PD 引脚上的电流）	PD = 高电平（1.8V 逻辑）		10.5	15	µA
		PD = 高电平（3.3V 逻辑）		19	30	
t_{ON}	导通时间	S2D，直流耦合，V_{S+}= 2.5V，V_{S-} = –2.5V，从 50% V_{PD} 转换至 90% 射频输出		25		ns
t_{OFF}	关断时间	S2D，直流耦合，V_{S+}= 2.5V，V_{S-} = –2.5V，从 50% V_{PD} 转换至 10% 射频输出		20		ns

(1) 在 D2D 配置中，V_{ICM} 范围可以扩展到更接近 V_{S+} 或 V_{S-}。另请参阅节 7.4.1。

Copyright © 2025 Texas Instruments Incorporated

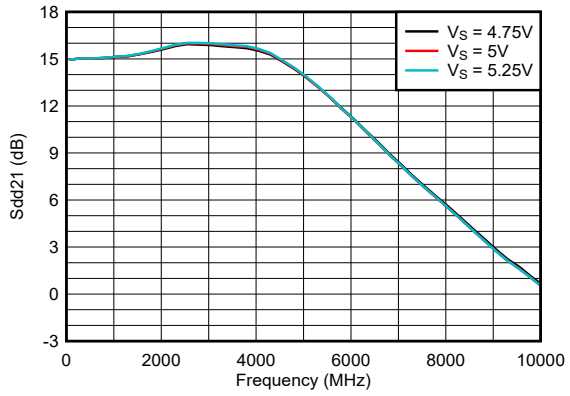
6.8 典型特性：D2D 配置

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



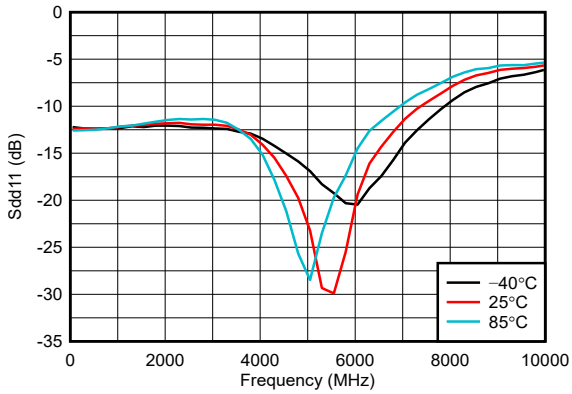
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-1. 整个温度范围内的功率增益 (Sdd21)



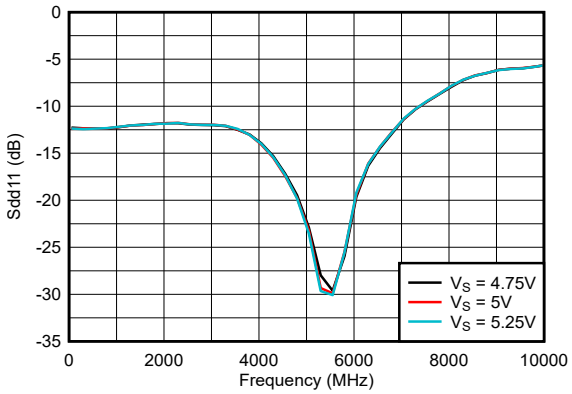
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-2. 整个电源电压范围内的功率增益 (Sdd21)



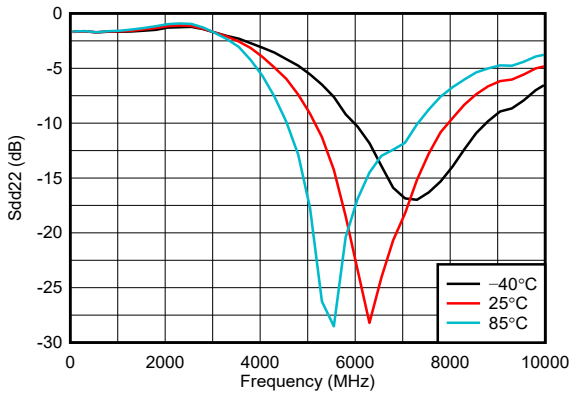
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-3. 整个温度范围内的输入回波损耗 (Sdd11)



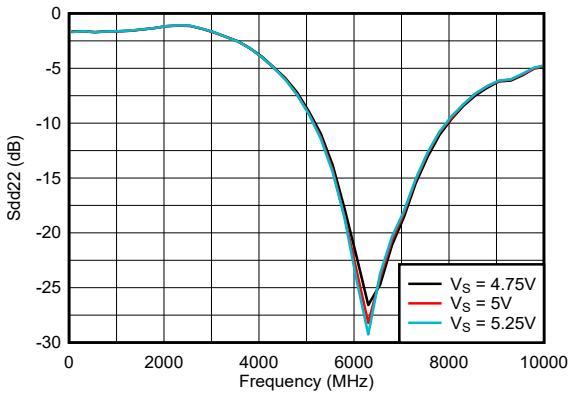
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-4. 整个电源电压范围内的输入回波损耗 (Sdd11)



具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-5. 整个温度范围内的输出回波损耗 (Sdd22)



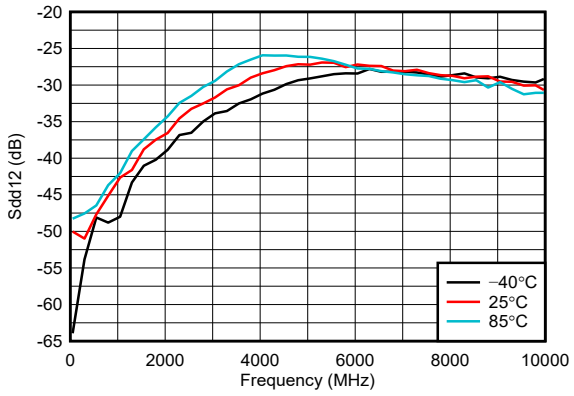
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-6. 整个电源电压范围内的输出回波损耗 (Sdd22)

Copyright © 2025 Texas Instruments Incorporated

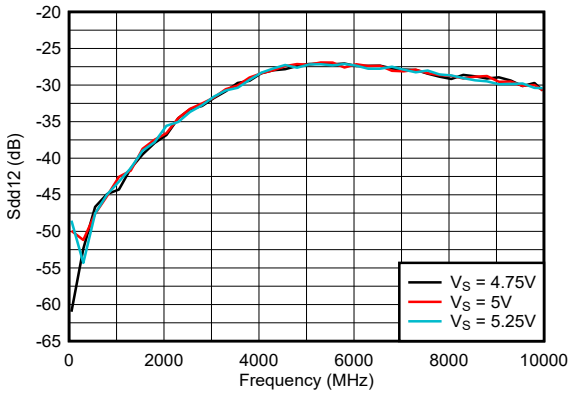
6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



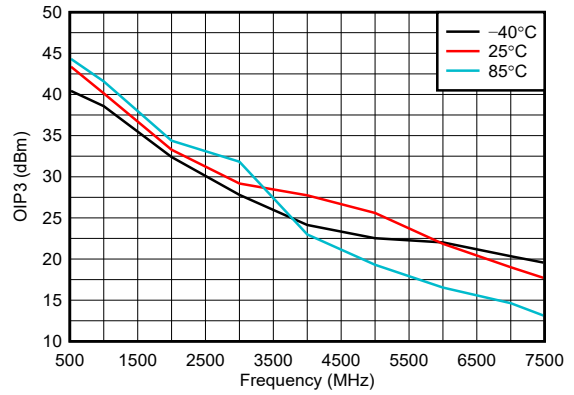
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-7. 整个温度范围内的反向隔离 (Sdd12)



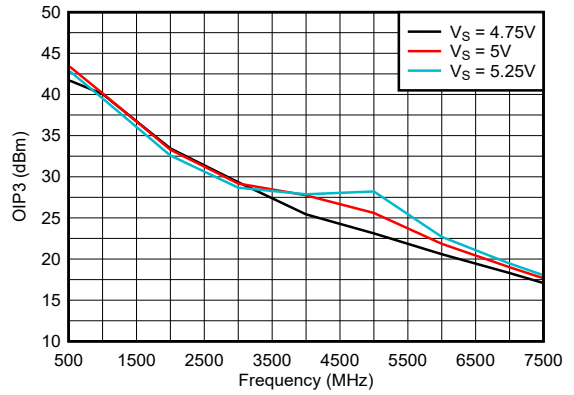
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-8. 整个电源电压范围内的反向隔离 (Sdd12)



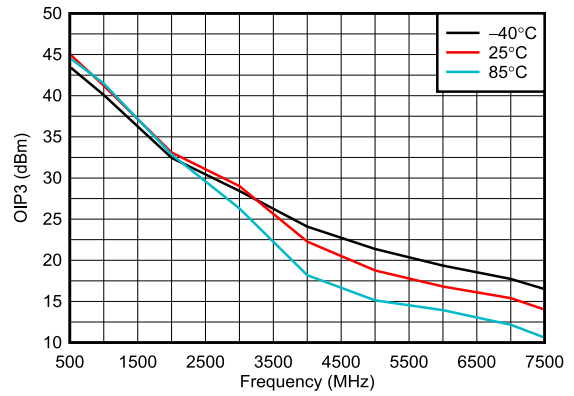
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-9. 整个温度范围内的 OIP3



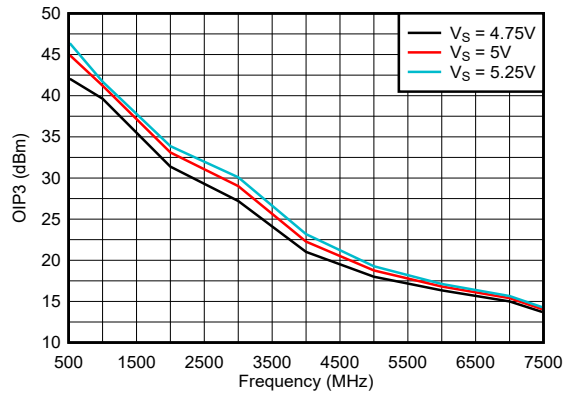
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-10. 整个电源电压范围内的 OIP3



P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-11. 整个温度范围内的 OIP3



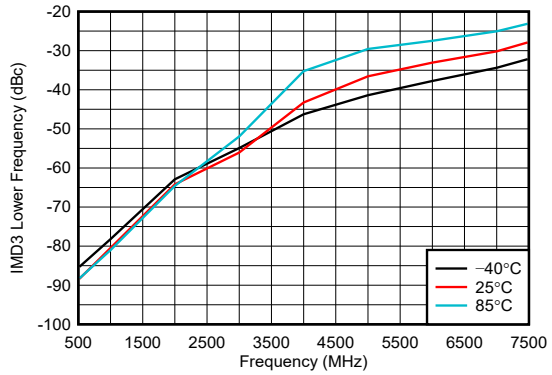
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-12. 整个电源电压范围内的 OIP3

Copyright © 2025 Texas Instruments Incorporated

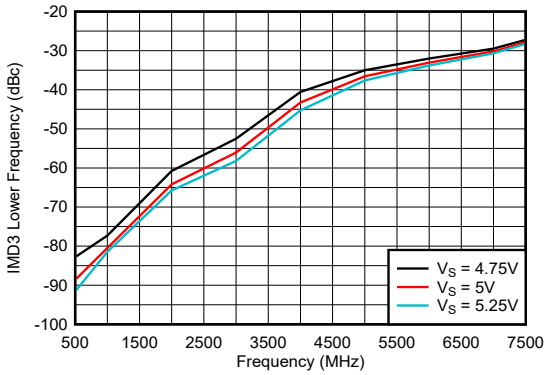
6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



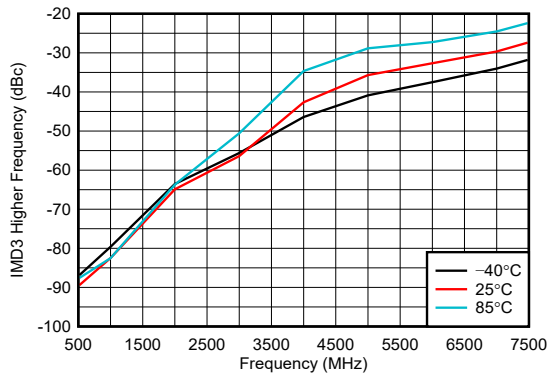
在 ($2f_1$ – f_2) 频率下，其中 $f_1 < f_2$，
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-13. 整个温度范围内的 IMD3 更低



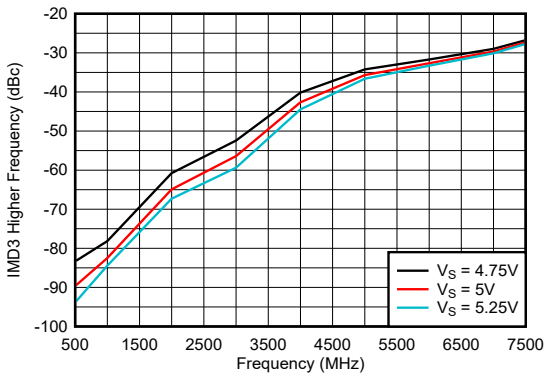
在 ($2f_1$ – f_2) 频率下，其中 $f_1 < f_2$，
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-14. 整个电源电压范围内的 IMD3 更低



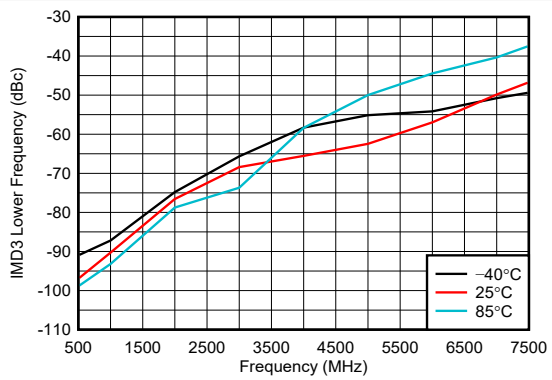
在 ($2f_2$ – f_1) 频率下，其中 $f_1 < f_2$，
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-15. 整个温度范围内的 IMD3 更高



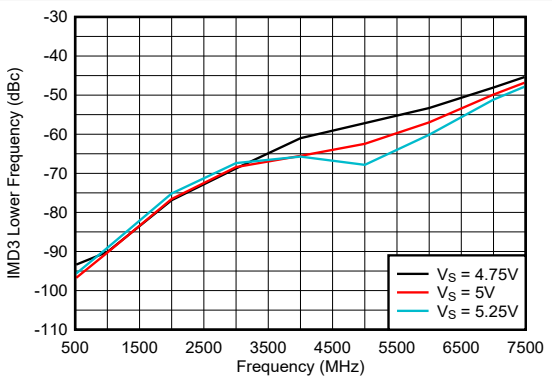
在 ($2f_2$ – f_1) 频率下，其中 $f_1 < f_2$，
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-16. 整个电源电压范围内的 IMD3 更高



在 ($2f_1$ – f_2) 频率下，其中 $f_1 < f_2$，
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-17. 整个温度范围内的 IMD3 更低



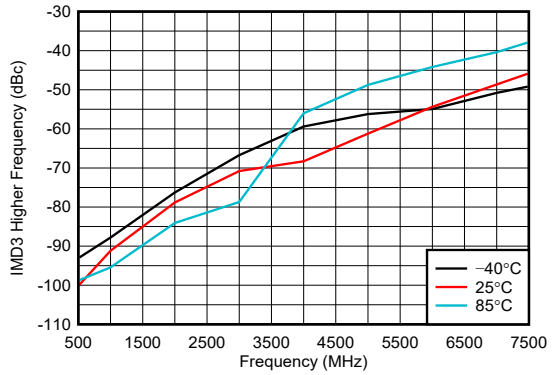
在 ($2f_1$ – f_2) 频率下，其中 $f_1 < f_2$，
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-18. 整个电源电压范围内的 IMD3 更低

Copyright © 2025 Texas Instruments Incorporated

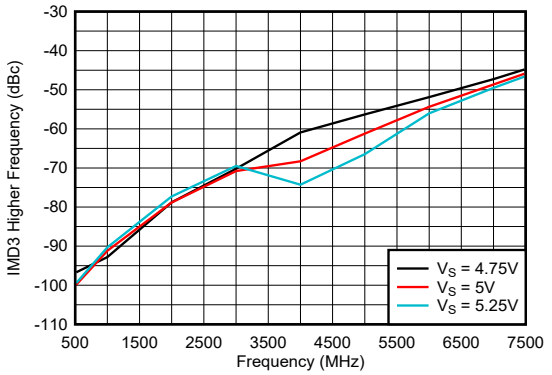
6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



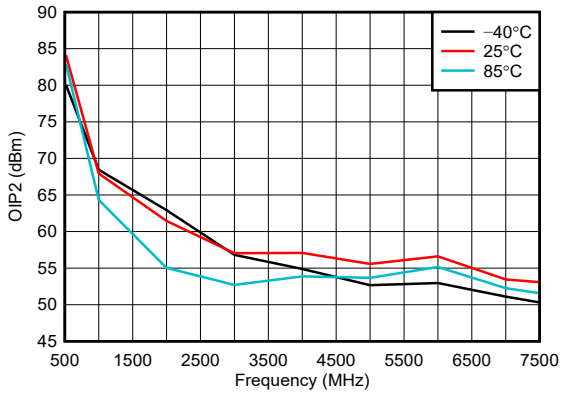
在 ($2f_2$ – f_1) 频率下，其中 $f_1 < f_2$，
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-19. 整个温度范围内的 IMD3 更高



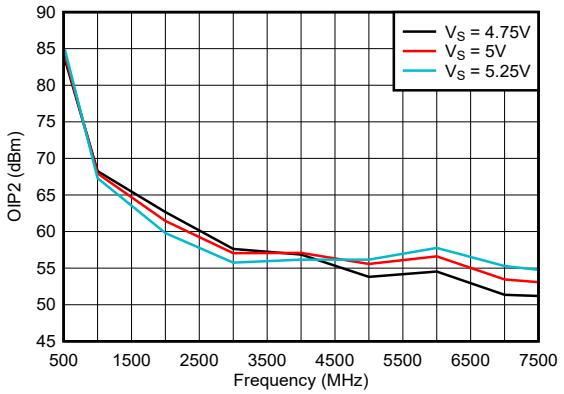
在 ($2f_2$ – f_1) 频率下，其中 $f_1 < f_2$，
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-20. 整个电源电压范围内的 IMD3 更高



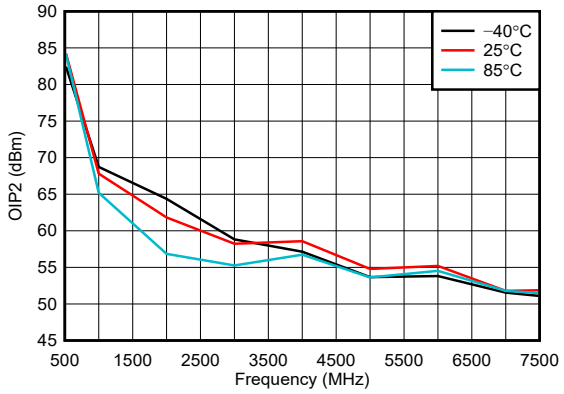
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-21. 整个温度范围内的 OIP2



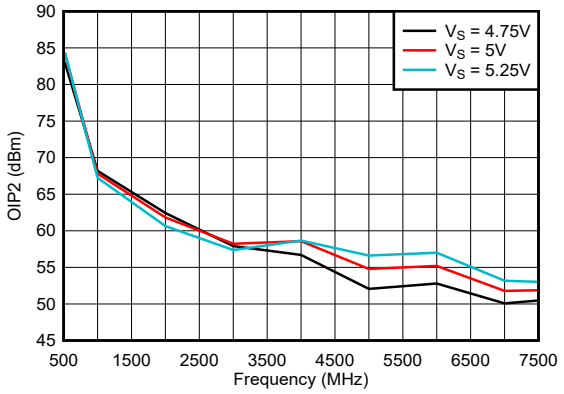
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-22. 整个电源电压范围内的 OIP2



P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-23. 整个温度范围内的 OIP2



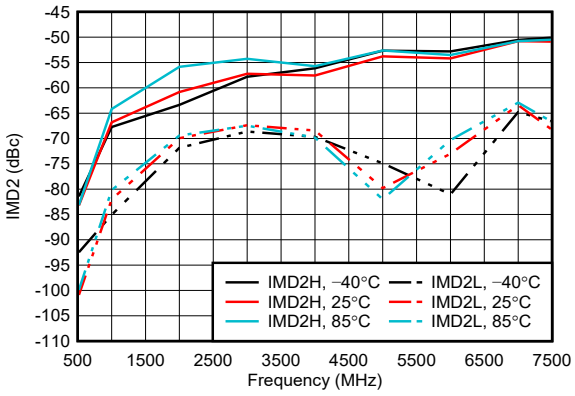
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-24. 整个电源电压范围内的 OIP2

Copyright © 2025 Texas Instruments Incorporated

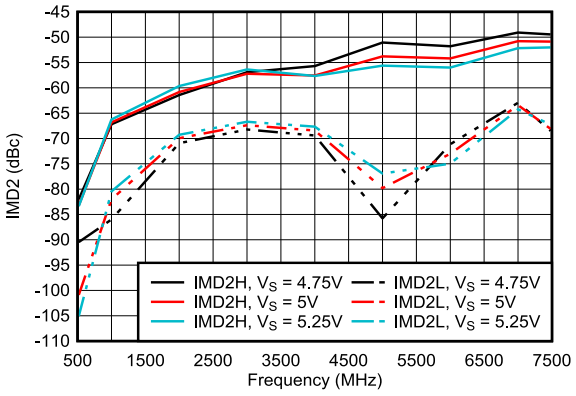
6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



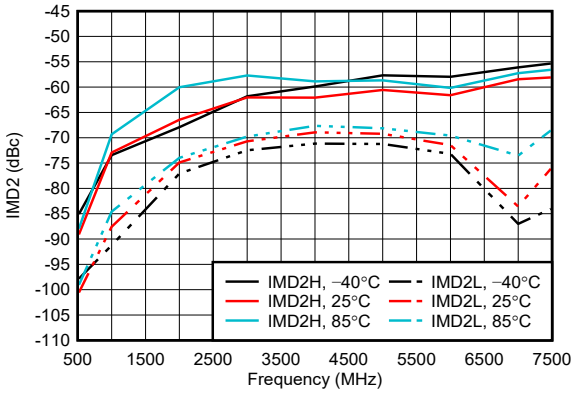
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-25. 整个温度范围内的 IMD2



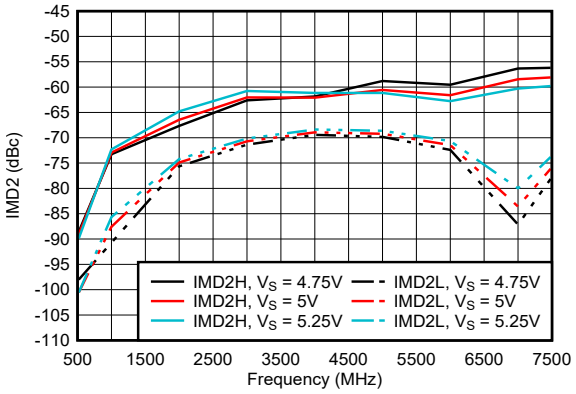
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-26. 整个电源电压范围内的 IMD2



P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-27. 整个温度范围内的 IMD2



P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-28. 整个电源电压范围内的 IMD2

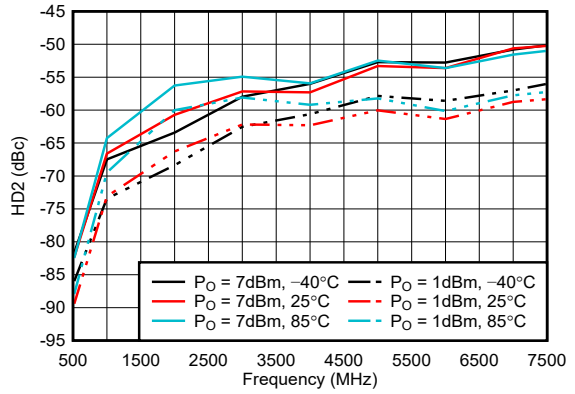


图 6-29. 整个输出功率和温度范围内的 HD2

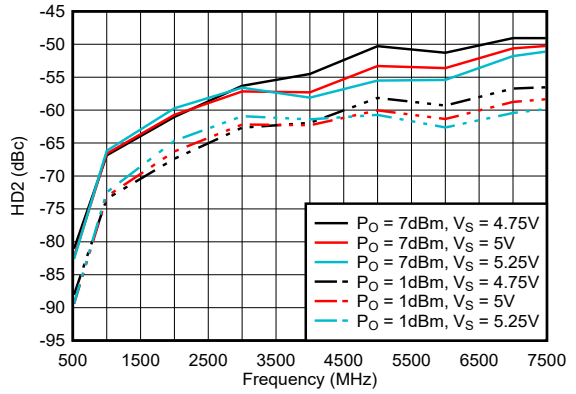


图 6-30. 整个输出功率和电源电压范围内的 HD2

Copyright © 2025 Texas Instruments Incorporated

6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）

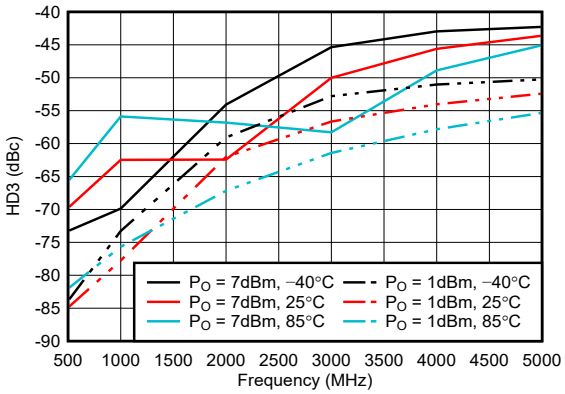


图 6-31. 整个输出功率和温度范围内的 HD3

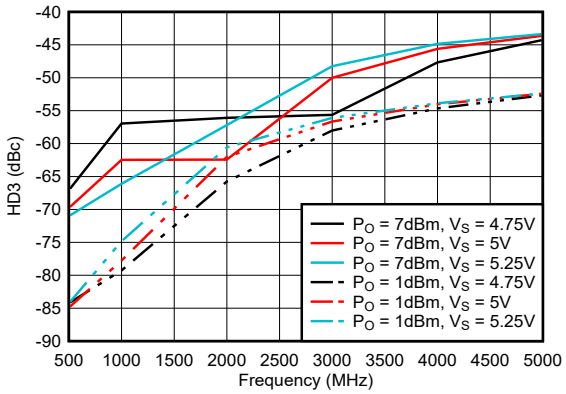


图 6-32. 整个输出功率和电源电压范围内的 HD3

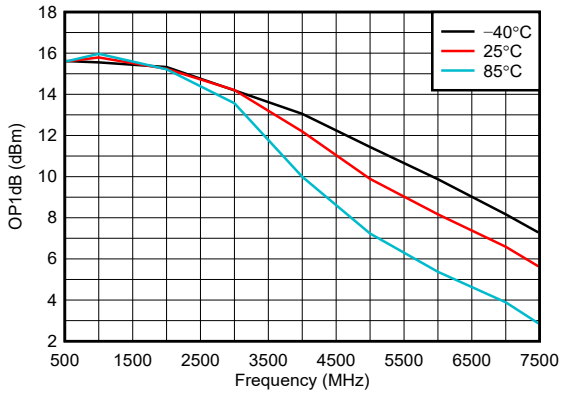


图 6-33. 整个温度范围内的 OP1dB

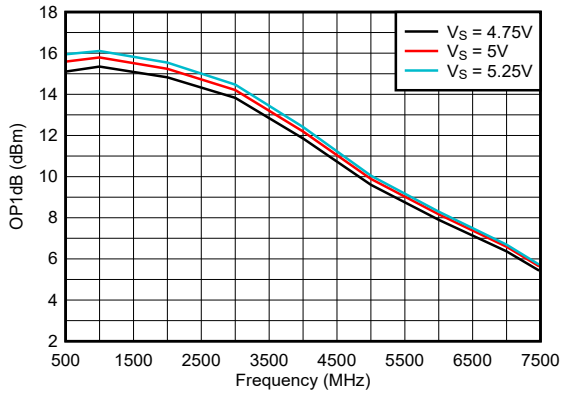


图 6-34. 整个电源电压范围内的 OP1dB

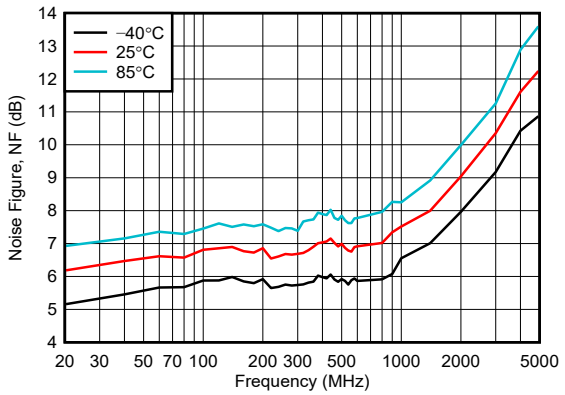


图 6-35. 整个温度范围内的噪声系数

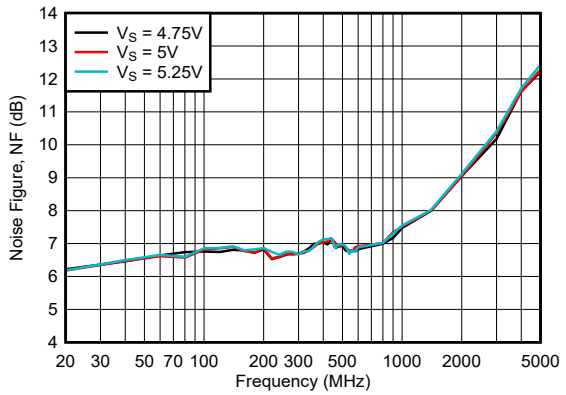
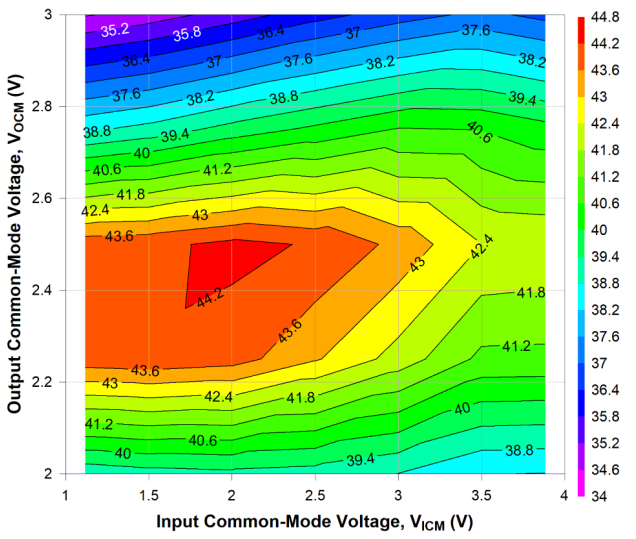


图 6-36. 整个电源电压范围内的噪声系数

Copyright © 2025 Texas Instruments Incorporated

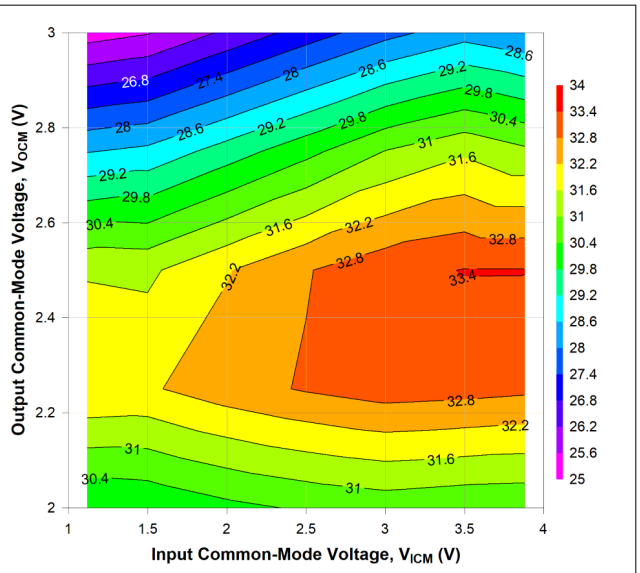
6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



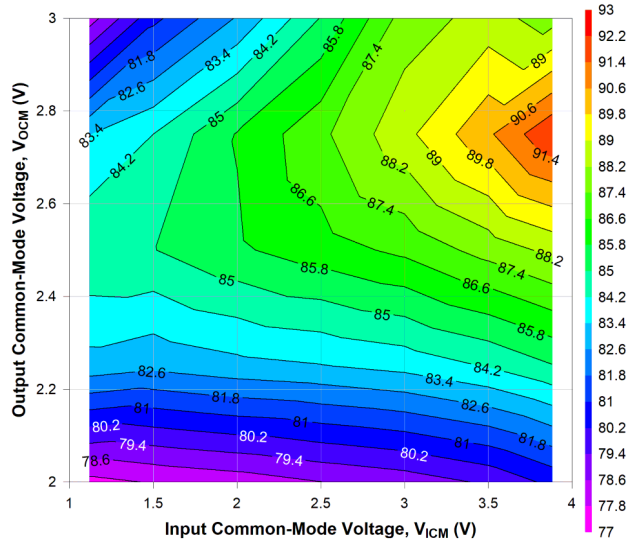
P_O = 1dBm/子载波，2MHz 子载波间隔，直流耦合输入并通过偏置器强制 V_{ICM}

图 6-37. 500MHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 OIP3



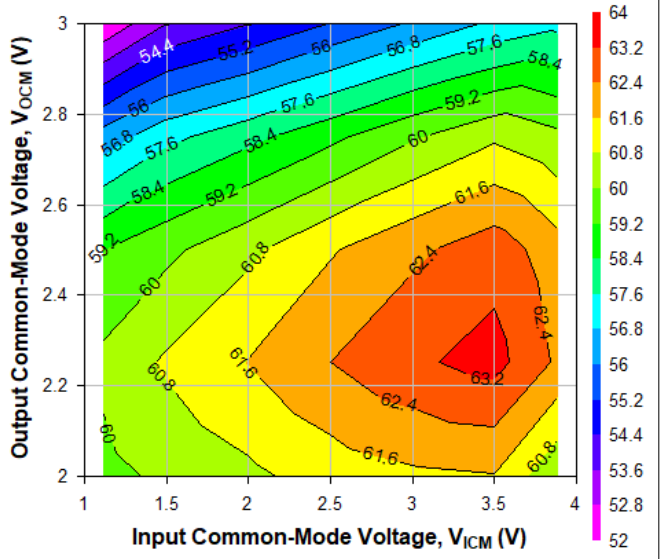
P_O = 1dBm/子载波，2MHz 子载波间隔，直流耦合输入并通过偏置器强制 V_{ICM}

图 6-38. 2GHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 OIP3



P_O = 1dBm/子载波，2MHz 子载波间隔，直流耦合输入并通过偏置器强制 V_{ICM}

图 6-39. 500MHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 OIP2



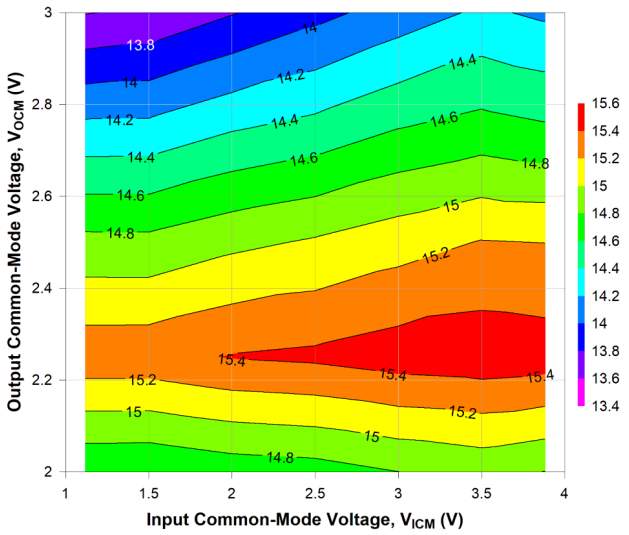
P_O = 1dBm/子载波，2MHz 子载波间隔，直流耦合输入并通过偏置器强制 V_{ICM}

图 6-40. 2GHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 OIP2

Copyright © 2025 Texas Instruments Incorporated

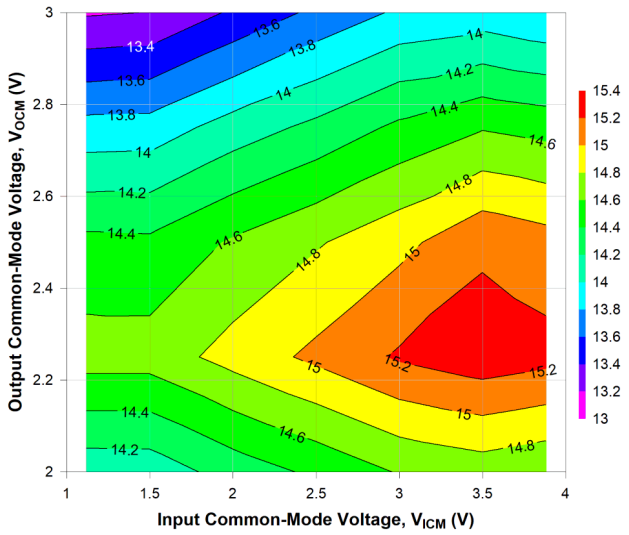
6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



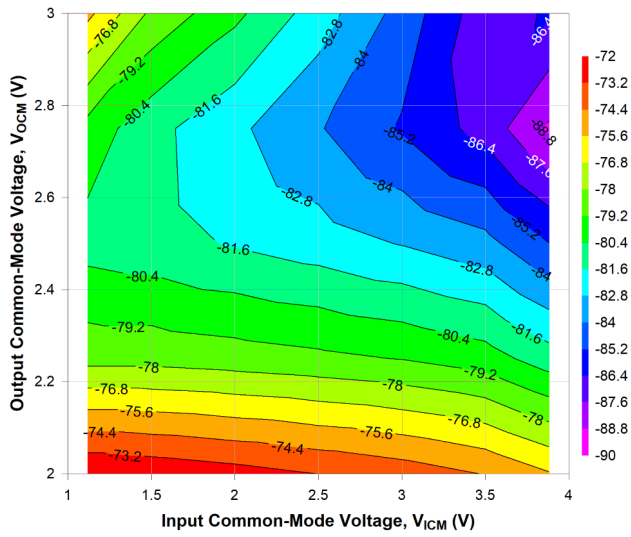
直流耦合输入并通过偏置器强制 V_{ICM}

图 6-41. 500MHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 OP1dB



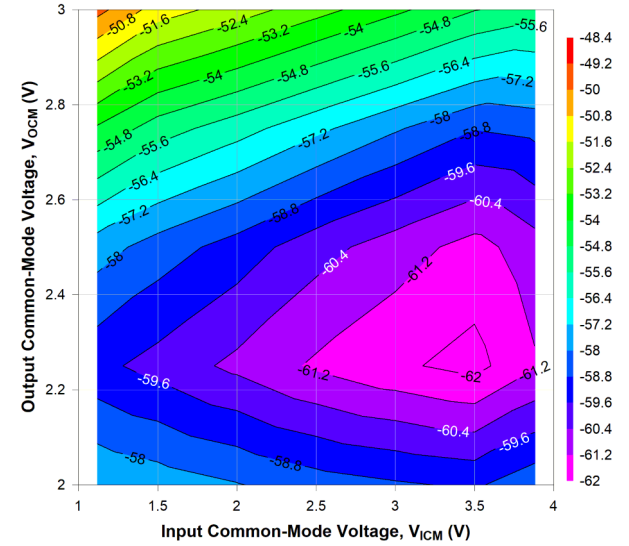
直流耦合输入并通过偏置器强制 V_{ICM}

图 6-42. 2GHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 OP1dB



P_O = 7dBm，直流耦合输入并
并通过偏置器强制 V_{ICM}

图 6-43. 500MHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 HD2



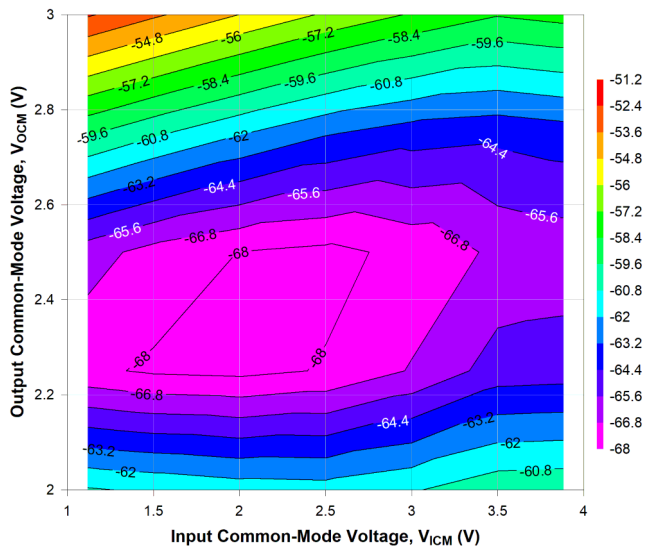
P_O = 7dBm，直流耦合输入并
并通过偏置器强制 V_{ICM}

图 6-44. 2GHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 HD2

Copyright © 2025 Texas Instruments Incorporated

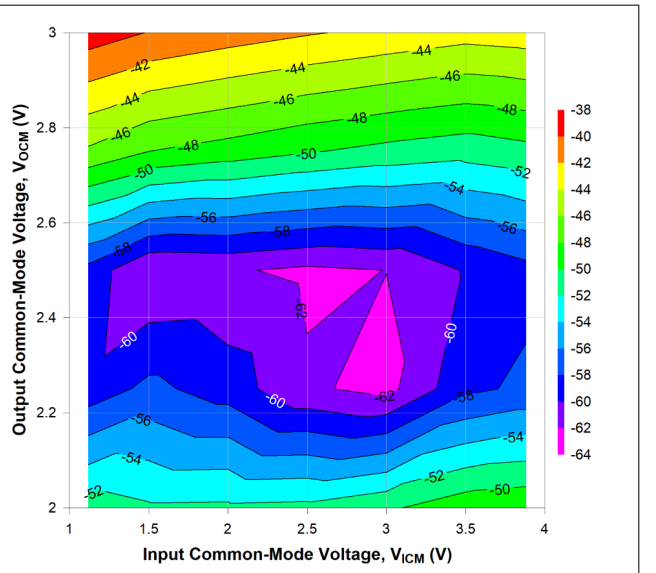
6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



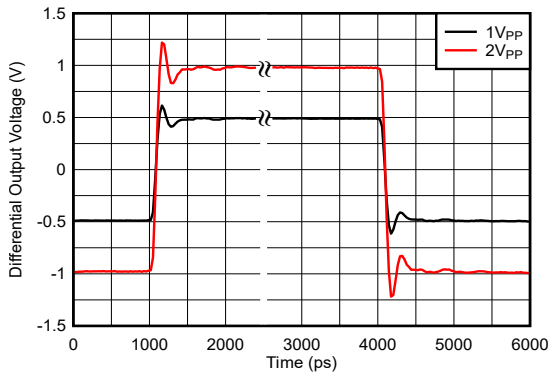
P_O = 7dBm，直流耦合输入并
并通过偏置器强制 V_{ICM}

图 6-45. 500MHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 HD3



P_O = 7dBm，直流耦合输入并
并通过偏置器强制 V_{ICM}

图 6-46. 2GHz 时不同 V_{ICM} 和 V_{OCM} 条件下的 HD3



直流耦合，V_{S+} = 2.5V，V_{S-} = –2.5V

图 6-47. 阶跃响应

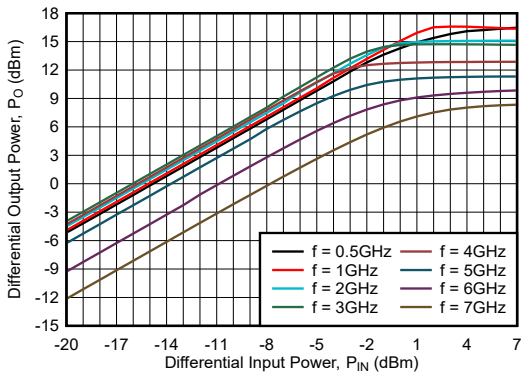
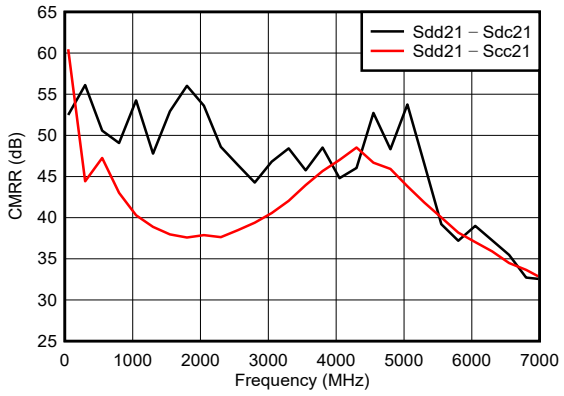


图 6-48. 整个差分输入功率范围内的差分输出功率

Copyright © 2025 Texas Instruments Incorporated

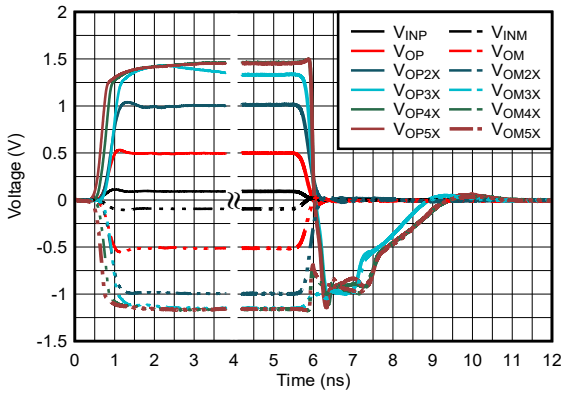
6.8 典型特性：D2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，D2D 交流耦合输入/输出配置，Z_S = 100Ω，Z_L = 100Ω，外部输入电阻器网络（请参阅 图 8-7），输入剥离至 R_{IN_SH}，输出剥离至器件引脚，并显示环境温度，电阻器网络包含在 DUT 特性图中（除非另有说明）



Sdc21 和 Scc21 采用 50Ω 源阻抗 *c* 时，每个驱动输入引脚处的 P_{IN} = –20dBm，适用于共模

图 6-49. 共模抑制比 (CMRR)



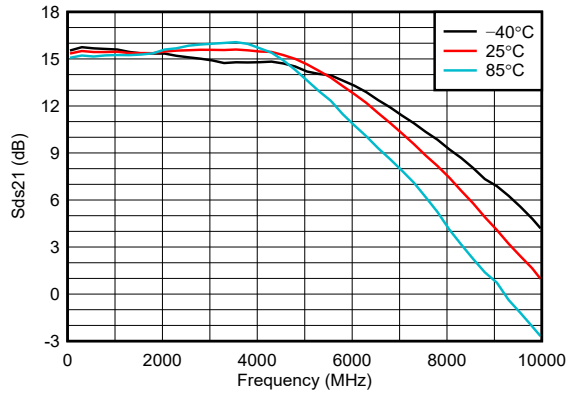
直流耦合，V_{S+} = 2.5V，V_{S-} = –2.5V，当如图所示输入电压为 V_{INP} 和 的 V_{INM} 的 2 至 5 倍时，输出电压也分别是 2 至 5 倍

图 6-50. 过驱恢复响应

Copyright © 2025 Texas Instruments Incorporated

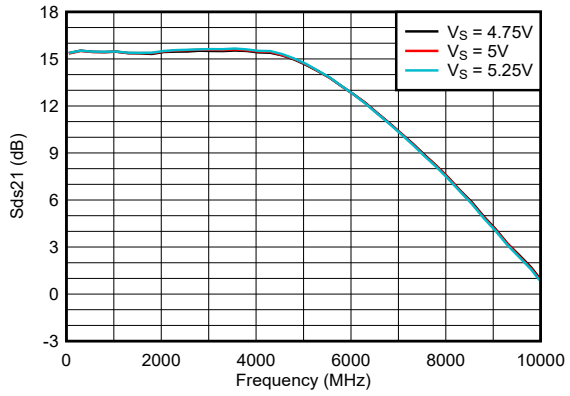
6.9 典型特性：S2D 配置

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚，并显示环境温度（除非另有说明）



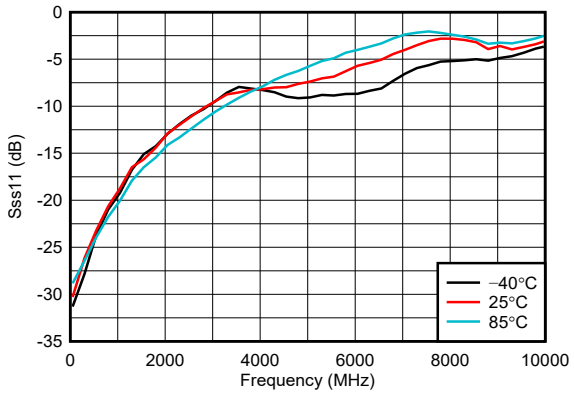
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-51. 整个温度范围内的功率增益 (Sds21)



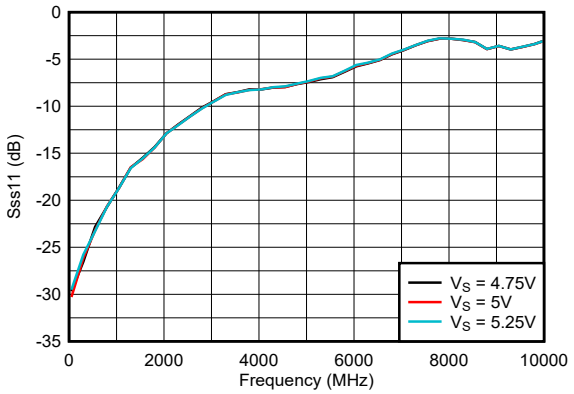
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-52. 整个电源电压范围内的功率增益 (Sds21)



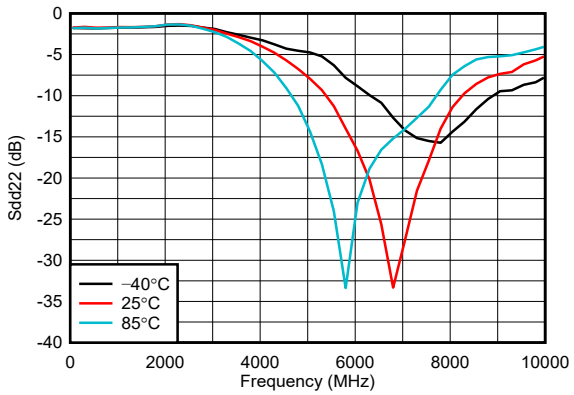
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-53. 整个温度范围内的输入回波损耗 (Sss11)



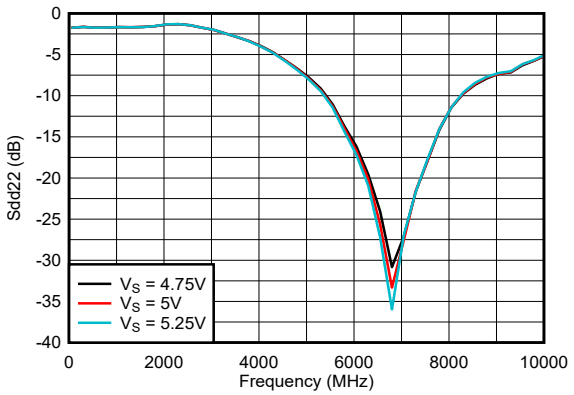
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-54. 整个电源电压范围内的输入回波损耗 (Sss11)



具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-55. 整个温度范围内的输出回波损耗 (Sdd22)



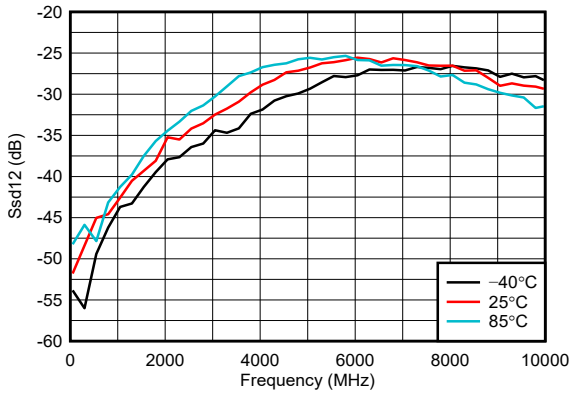
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-56. 整个电源电压范围内的输出回波损耗 (Sdd22)

Copyright © 2025 Texas Instruments Incorporated

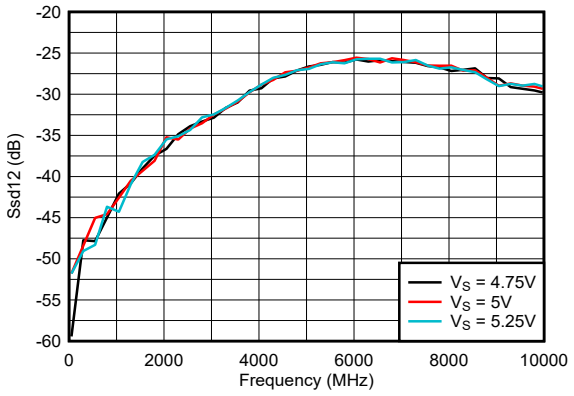
6.9 典型特性：S2D 配置（续）

T_A = 25℃，V_{S+} = 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚，并显示环境温度（除非另有说明）



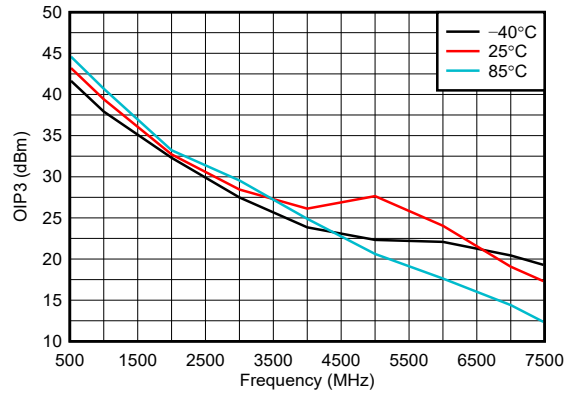
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-57. 整个温度范围内的反向隔离 (Ssd12)



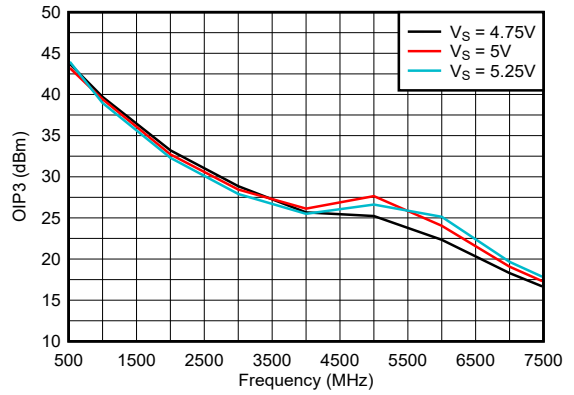
具有 50Ω 源阻抗时每个输入引脚上的 P_{IN} = –20dBm

图 6-58. 整个电源电压范围内的反向隔离 (Ssd12)



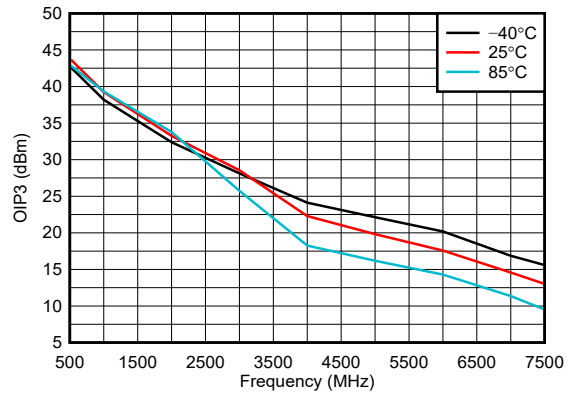
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-59. 整个温度范围内的 OIP3



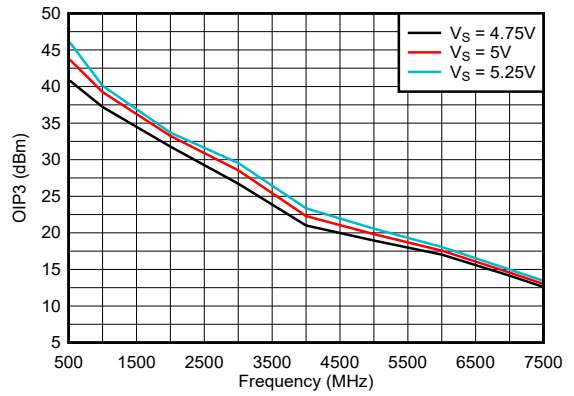
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-60. 整个电源电压范围内的 OIP3



P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-61. 整个温度范围内的 OIP3



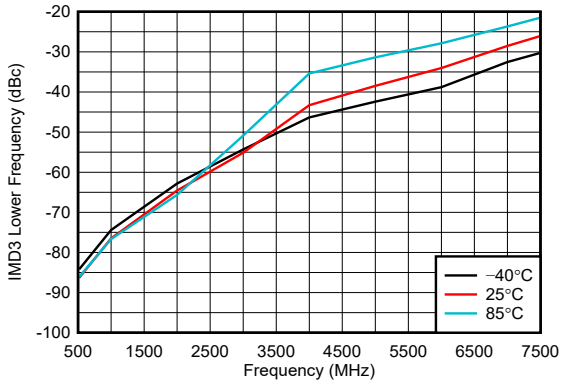
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-62. 整个电源电压范围内的 OIP3

Copyright © 2025 Texas Instruments Incorporated

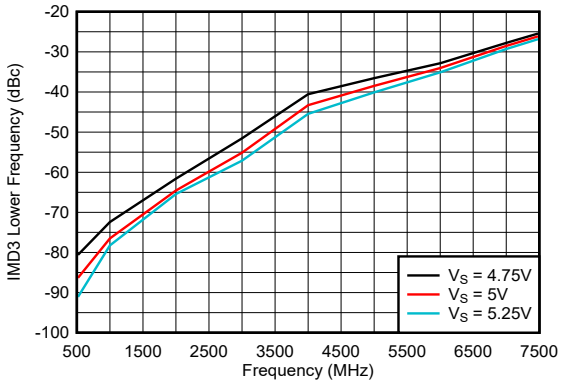
6.9 典型特性：S2D 配置（续）

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚，并显示环境温度（除非另有说明）



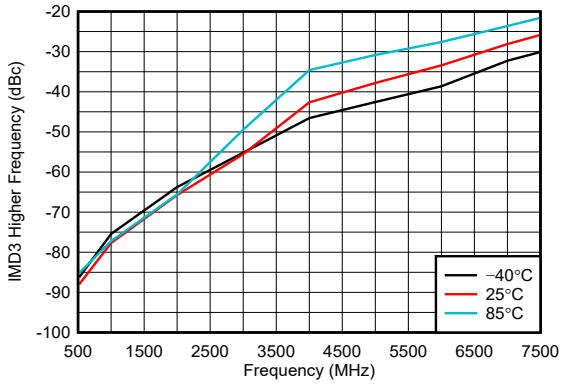
在 ($2f_1$ – f_2) 频率下，其中 $f_1 < f_2$，
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-63. 整个温度范围内的 IMD3 更低



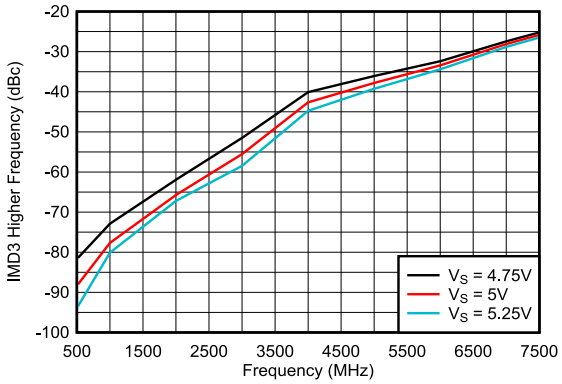
在 ($2f_1$ – f_2) 频率下，其中 $f_1 < f_2$，
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-64. 整个电源电压范围内的 IMD3 更低



在 ($2f_2$ – f_1) 频率下，其中 $f_1 < f_2$，
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-65. 整个温度范围内的 IMD3 更高



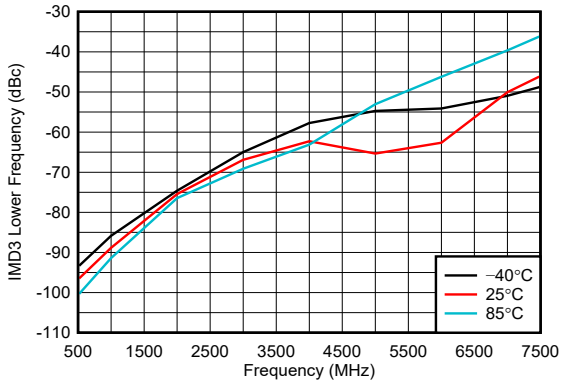
在 ($2f_2$ – f_1) 频率下，其中 $f_1 < f_2$，
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-66. 整个电源电压范围内的 IMD3 更高

Copyright © 2025 Texas Instruments Incorporated

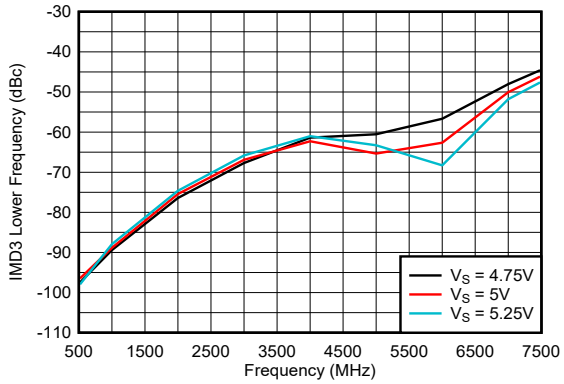
6.9 典型特性：S2D 配置（续）

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚，并显示环境温度（除非另有说明）



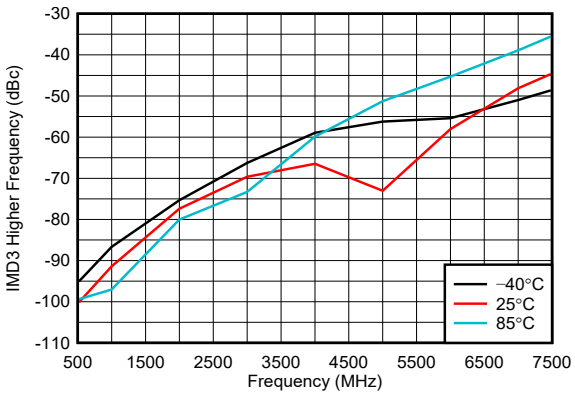
在 ($2f_1$ – f_2) 频率下，其中 $f_1 < f_2$，
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-67. 整个温度范围内的 IMD3 更低



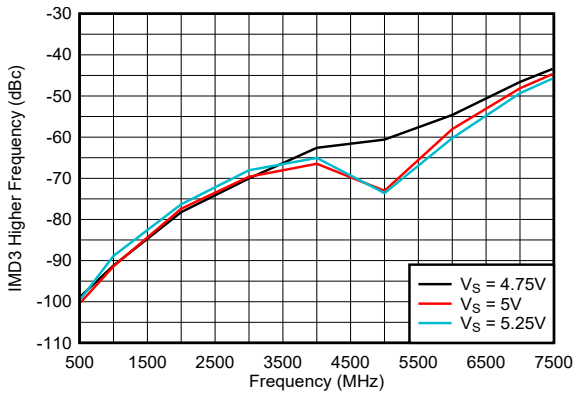
在 ($2f_1$ – f_2) 频率下，其中 $f_1 < f_2$，
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-68. 整个电源电压范围内的 IMD3 更低



在 ($2f_2$ – f_1) 频率下，其中 $f_1 < f_2$，
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-69. 整个温度范围内的 IMD3 更高



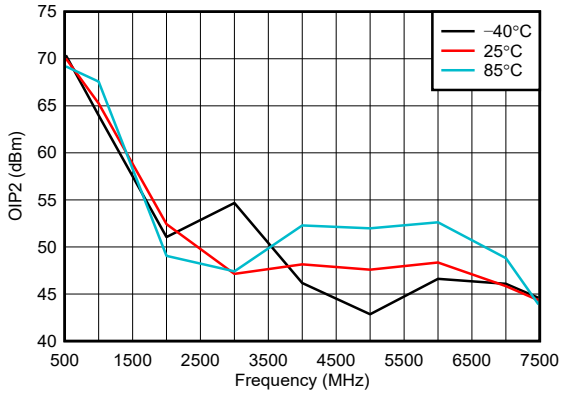
在 ($2f_2$ – f_1) 频率下，其中 $f_1 < f_2$，
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-70. 整个电源电压范围内的 IMD3 更高

Copyright © 2025 Texas Instruments Incorporated

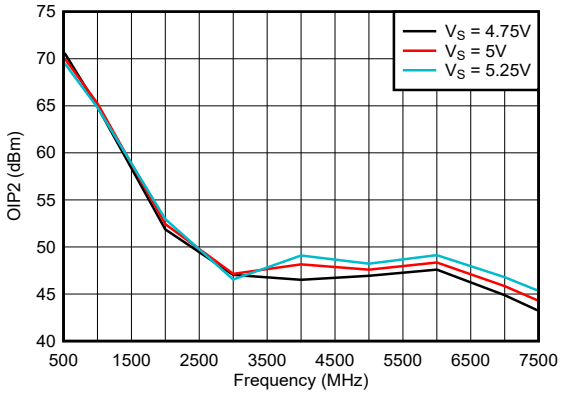
6.9 典型特性：S2D 配置（续）

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚，并显示环境温度（除非另有说明）



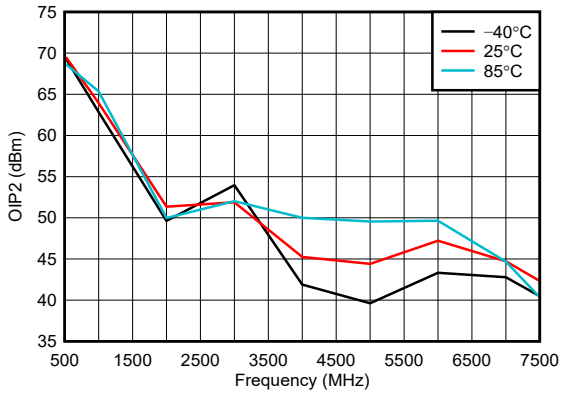
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-71. 整个温度范围内的 OIP2



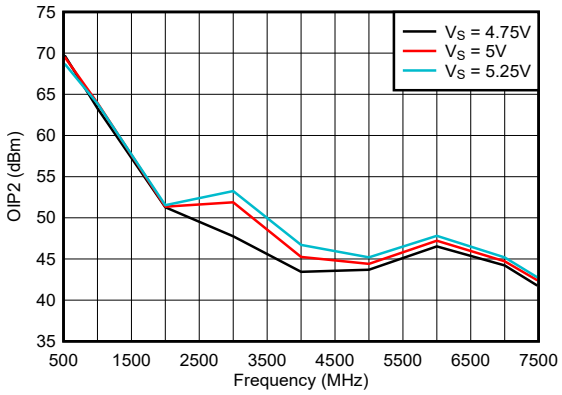
P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-72. 整个电源电压范围内的 OIP2



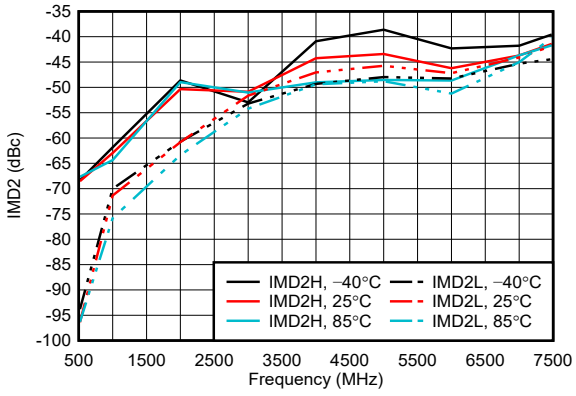
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-73. 整个温度范围内的 OIP2



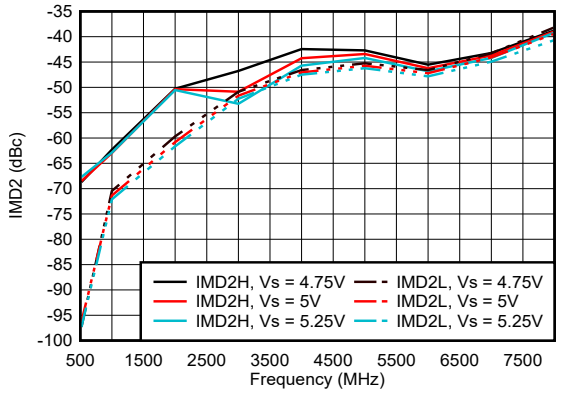
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-74. 整个电源电压范围内的 OIP2



P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-75. 整个温度范围内的 IMD2



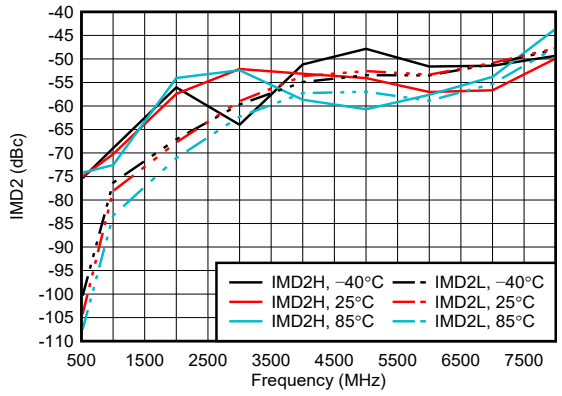
P_O = 1dBm/子载波，2MHz 子载波间隔

图 6-76. 整个电源电压范围内的 IMD2

Copyright © 2025 Texas Instruments Incorporated

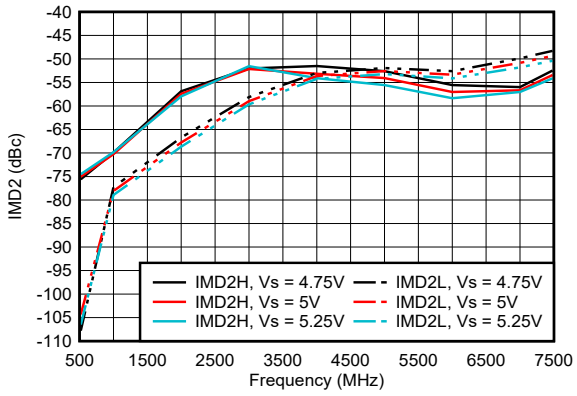
6.9 典型特性：S2D 配置（续）

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚，并显示环境温度（除非另有说明）



P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-77. 整个温度范围内的 IMD2



P_O = –5dBm/子载波，2MHz 子载波间隔

图 6-78. 整个电源电压范围内的 IMD2

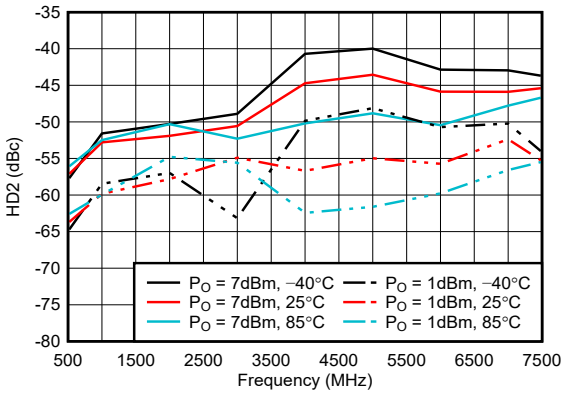


图 6-79. 整个输出功率和温度范围内的 HD2

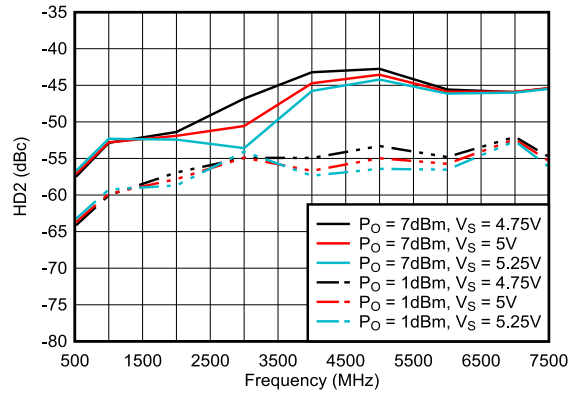


图 6-80. 整个输出功率和电源电压范围内的 HD2

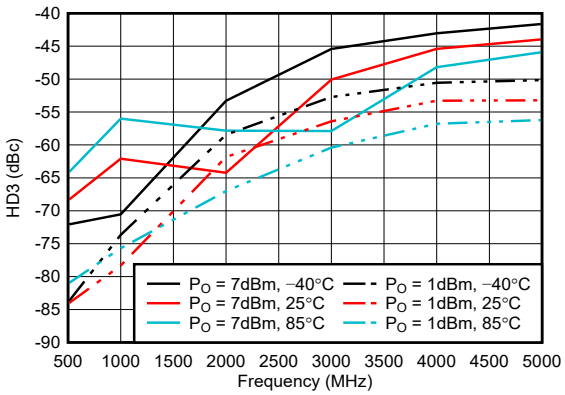


图 6-81. 整个输出功率和温度范围内的 HD3

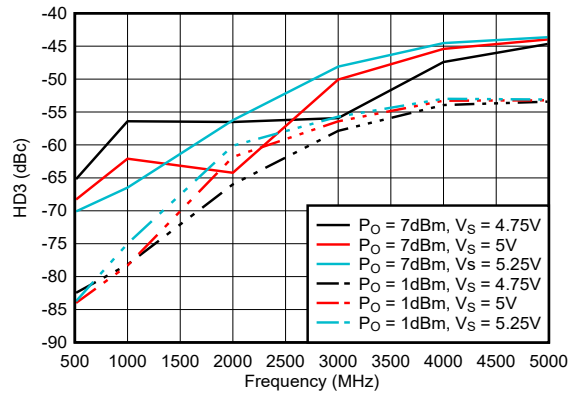


图 6-82. 整个输出功率和电源电压范围内的 HD3

Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性：S2D 配置（续）

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚，并显示环境温度（除非另有说明）

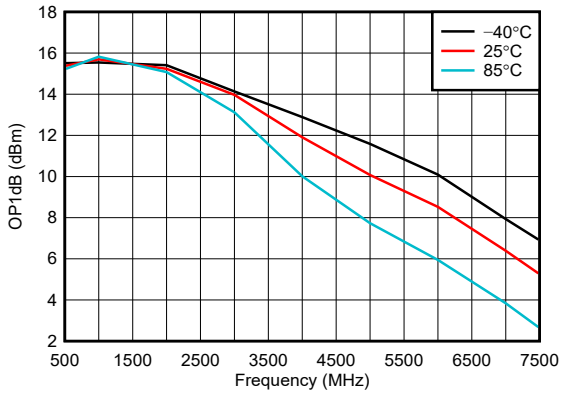


图 6-83. 整个温度范围内的 OP1dB

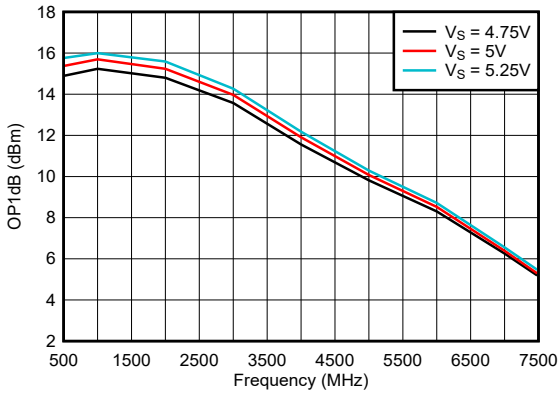


图 6-84. 整个电源电压范围内的 OP1dB

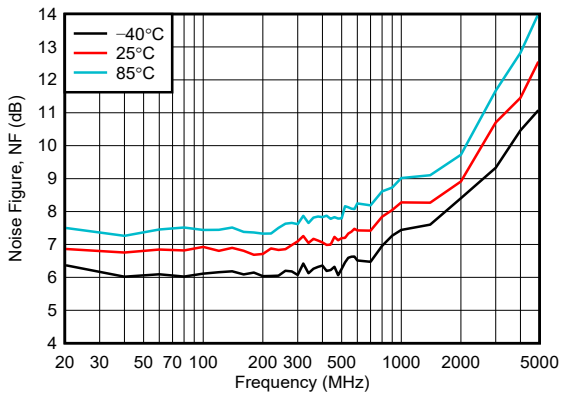


图 6-85. 整个温度范围内的噪声系数

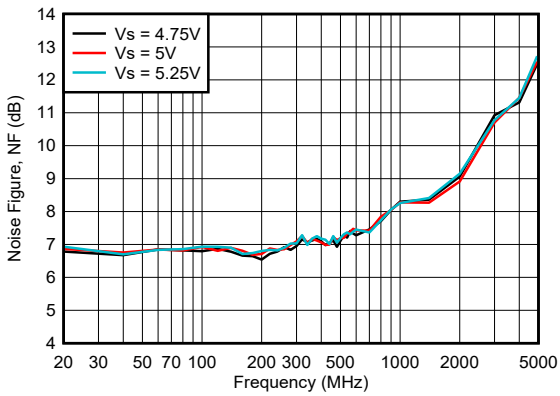
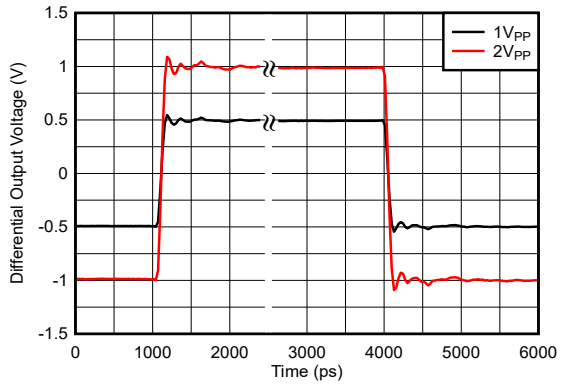
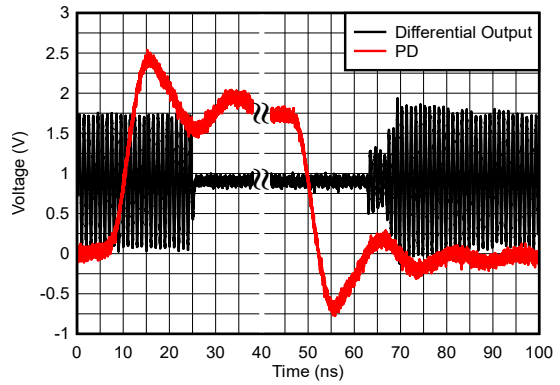


图 6-86. 整个电源电压范围内的噪声系数



直流耦合，V_{S+} = 2.5V，V_{S-} = – 2.5V

图 6-87. 阶跃响应



直流耦合，V_{S+} = 2.5V，V_{S-} = – 2.5V

图 6-88. 上电和断电时序

Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性：S2D 配置（续）

T_A = 25℃，V_{S+}= 5V，V_{S-} = 0V，悬空 VOCM、PD 和 MODE 引脚，V_{ICM} = 1/2 Vs，S2D 交流耦合输入/输出配置（R_{IN_SER} = 0Ω、R_{TERM} = 50Ω、Z_S = 50Ω、Z_L = 100Ω，请参阅 图 8-5），输入和输出剥离至器件引脚，并显示环境温度（除非另有说明）

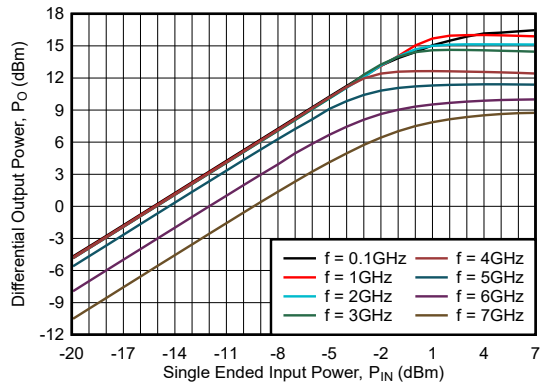
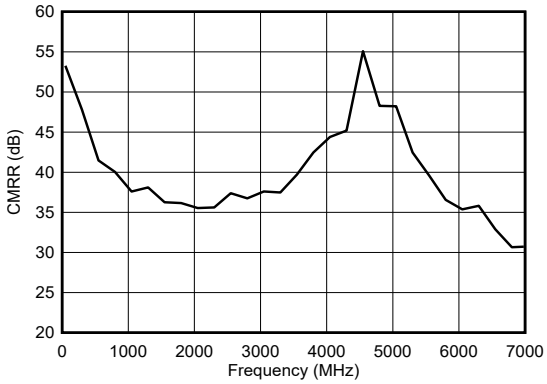
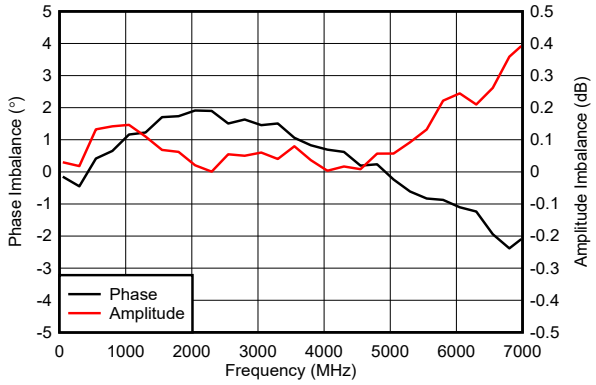


图 6-89. 整个单端输入功率范围的差分输出功率



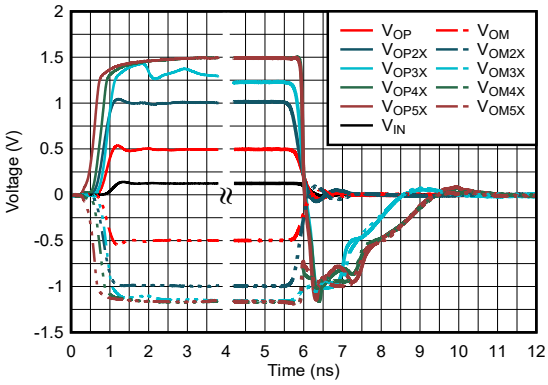
具有 50Ω 源阻抗时每个驱动输入引脚上的 P_{IN} = –20dBm

图 6-90. 共模抑制比 (CMRR)



具有 50Ω 源阻抗时每个驱动输入引脚上的 P_{IN} = –20dBm

图 6-91. 幅值和相位不平衡



直流耦合，V_{S+} = 2.5V，V_{S-} = –2.5V，当如图所示输入电压为 V_{IN} 的 2 至 5 倍时，输出电压也分别是 2 倍至 5 倍

图 6-92. 过驱恢复响应

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

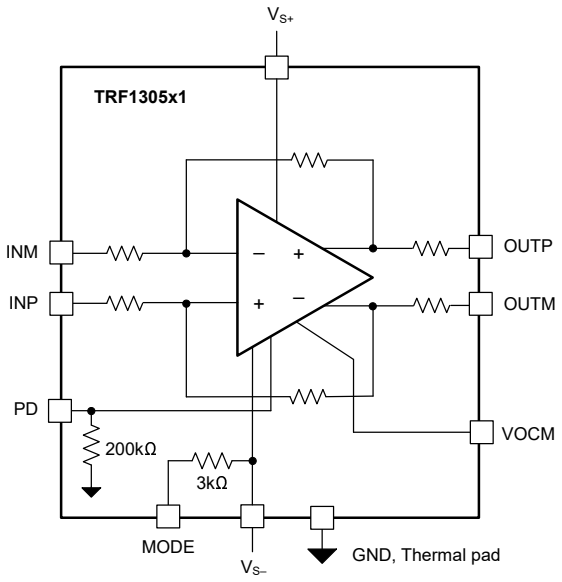
7.1 概述

TRF1305A1、TRF1305B1 和 TRF1305C1 (TRF1305x1) 器件是单通道、高性能全差分射频放大器，针对超宽带信号进行了优化。该器件系列主要设计用于连接通常需要差分输入 (ADC) 和输出 (DAC) 信号的高速射频数据转换器。TRF1305x1 可以采用直流耦合或交流耦合，并配置为单端输入和差分输出 (S2D) 或差分输入和差分输出 (D2D)。这些器件具有输出共模引脚 (VOCM)，通过该引脚可以灵活地设置所需的共模输出电压。如果在直接转换系统中使用，该放大器允许数据转换器与直流耦合 IQ 解调器或调制器连接。TRF1305x1 系列提供三种固定功率增益型号（15dB、10dB 和 5dB），并具有闭环反馈放大器架构。

这些器件采用双轨电源供电，正负电源之间的典型差分电压为 5V，可用于双电源或单电源配置。这些器件还提供了断电功能，允许放大器断电。

放大器的输出为低阻抗。可以使用适当的外部串联端接或电阻焊盘来匹配任意阻抗。

7.2 功能方框图



7.3 特性说明

TRF1305x1 包括以下主要特性：

- 散热焊盘独立于电源的双轨浮动电源
  - 将散热焊盘连接至 GND
  - 射频信号和 PD 引脚以 GND 为基准
- 单电源或双电源运行
- 支持单端和差分输入配置
- 性能经优化的预设固定增益型号
- 输出共模控制
- MODE 引脚：V_{ICM} 范围扩展接近 V_{S+} 或 V_{S-} 模式
- 数字逻辑可控断电选项

7.3.1 全差分射频放大器

TRF1305x1 是一款具有宽带宽的电压反馈全差分放大器 (FDA)。该放大器专为 15dB、10dB 或 5dB 的差分功率增益而设计，具体取决于器件型号。放大器具有出色的时域规格、高压摆率、高输入和输出共模范围以及快速瞬态稳定时间。

FDA 器件的输出平均电压（共模）由单独的共模环路控制。目标输出共模电压由 VOCM 输入引脚设置。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 输出共模控制

图 7-1 显示了输出共模控制的功能图。在内部，VOCM 引脚电势由通过 2.5kΩ 电阻器连接的 LDO 输出电压进行设置，该电压等于 V_{S-} + 2.5V。

VOCM 引脚可以悬空。当 VOCM 引脚悬空时，输出引脚 OUTP 和 OUTM 的输出共模电压默认为 LDO 输出电压 V_{S-} + 2.5V。当 V_S = 5V 时，将 VOCM 引脚悬空会使 V_{OCM} 电压等于 1/2 Vs。如果驱动 VOCM 引脚，则通过低阻抗源驱动该引脚。将 R_{OCM} 的值限制为小于 25Ω，以准确地反映在器件输出端的强制 V_{OCM} 电压。

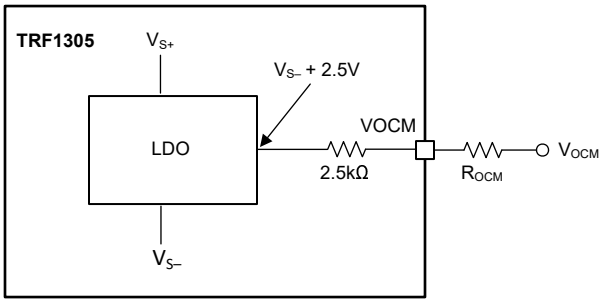


图 7-1. 输出共模控制

7.3.3 内部电阻配置

图 7-2 展示了 TRF1305x1 的内部电阻配置。表 7-1 提供了不同增益型号对应的这些电阻值。

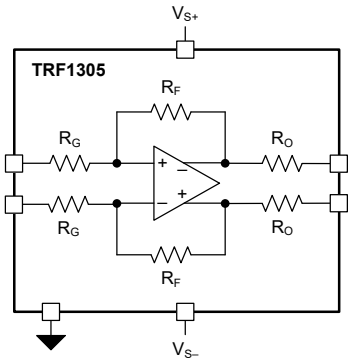


图 7-2. TRF1305x1 内部电阻配置

表 7-1. 电阻器值

器件名称	增益 (dB)	R_G (Ω)	R_F (Ω)	R_O (Ω)
TRF1305A1	15	6.25	258	4
TRF1305B1	10	12.5	161	4
TRF1305C1	5	17	97	4

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 MODE 引脚

TRF1305x1 具有可使用 MODE 引脚配置的其他有用功能。要选择器件模式，请在 MODE 引脚和 VS+ 之间连接一个最大容差 ±2% 的上拉电阻器，或在 MODE 引脚上强制施加一个电压。MODE 引脚在内部通过 3kΩ 电阻器参考连接至 V_{S-}（另请参阅 节 7.2）。

表 7-2 提供了每个模式的上拉电阻值、使用上拉电阻时 MODE 引脚处的预期电压 (V_{MODE})、设置器件模式所需的 V_{MODE} 电压以及模式配置。V_{MODE} 电压阈值大约是相邻模式典型 V_{MODE} 电压之间的中间值。如果使用模式功能，请在 MODE 引脚上使用去耦电容器。

表 7-2. MODE 引脚配置

模式编号	连接至 VS+ 的上拉电阻器（最大容差为 ±2%）	MODE 引脚电压，V_{MODE} (V)	V_{ICM} 范围扩展(1)
0	断开	V_{S-}	默认 V_{ICM} 范围
1	28.7kΩ	V_{S-} + 0.5V	低侧，将 V_{ICM} 范围扩展至更接近 V_{S-}
2	12.7kΩ	V_{S-} + 1V	高侧，将 V_{ICM} 范围扩展至更接近 V_{S+}
不适用	请勿使用小于 10kΩ 的上拉电阻器，或设置 $V_{MODE} > V_{S-}$ + 1.15V		

(1) 仅在 D2D 配置中可用。

要在不关闭电源的情况下切换模式，请使用在上拉电阻器选项和 VS+ 之间连接的开关或多路复用器，或强制设置与模式相对应的 V_{MODE} 电压。不过，最好在模式更改之间使用断电功能关断器件；另请参阅 节 7.4.2。低侧 V_{ICM} 范围扩展模式会拉取电流，高侧会灌入电流；另请参阅 节 7.4.1.1。确保在器件从断电状态进入工作模式之前，外部电路已准备好灌入或拉取这些电流。

7.4.1.1 输入共模范围扩展

当在其中一种 V_{ICM} 扩展模式下配置时，TRF1305A1 支持 V_{ICM} 电压更加接近 V_{S+} 或 V_{S-} 电压，不是*电气特性* 中默认指定的输入共模范围。V_{ICM} 扩展模式只能在 D2D 配置中使用。

当配置为低侧 V_{ICM} 扩展模式时，TRF1305A1 支持比默认选项低 350mV 的输入共模电压。例如，对于 TRF1305A1 型号，V_{ICM} 电压范围的下限从默认值 V_{S-} + 1.5V 扩展至 V_{S-} + 1.15V，而上限也从默认值 V_{S-} + 3.5V 降低至 V_{S-} + 3.15V。在最低 V_{ICM} 电压下，连接到 INP 和 INM 引脚的外部电路必须灌入大约 15mA 的电流。

当配置为高侧 V_{ICM} 扩展模式时，TRF1305A1 支持比默认选项高 350mV 的输入共模电压。例如，对于 TRF1305A1 型号，V_{ICM} 电压范围的上限从默认值 V_{S-} + 3.5V 扩展至 V_{S-} + 3.85V，而下限也从默认值 V_{S-} + 1.5V 升高至 V_{S-} + 1.85V。在最高 V_{ICM} 电压下，连接到 INP 和 INM 引脚的外部电路必须拉取大约 15mA 的电流。

连接到电源或外部电流源的电阻器可用于在低侧或高侧 V_{ICM} 扩展模式下分别灌入或拉取流出或流入 INP 和 INM 引脚的电流。

7.4.2 断电模式

TRF1305x1 有运行模式和断电模式两种偏置模式，具体由 PD 引脚上的电压控制。PD 引脚通过 200kΩ 电阻器以 GND 为基准；另请参阅节 7.2。如果使用 $V_{S+} \geq 3.3V$ 配置，请确保在高 PD 电压源自 V_{S+} 的情况下 PD 电压不超过*绝对最大额定值*。

支持 1.8V 和 3.3V 数字逻辑电平，以用于断电控制。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.1.1 输入和输出接口注意事项

8.1.1.1 单端输入

在单端输入配置中，其中一个放大器输入引脚由源驱动，而另一个输入通过外部电阻器端接。图 8-1 显示了一个由 50Ω 源驱动并与之匹配的直流耦合单端输入配置。图 8-1 显示了如何使用外部电阻器端接非驱动 INM 引脚，以匹配 INP 引脚上具有相同 50Ω 阻抗的源。

图 8-1 中的 R_{IN_SER} 通常为 0Ω，R_{TERM} 为 50Ω。节 6.9 中显示的性能曲线是输入剥离至器件输入引脚，输出剥离至器件输出引脚。因此，节 6.9 中所示的 Sss11 表示放大器输入的输入回波损耗。通过将 R_{IN_SER} 的值增加到 5Ω，以及将 R_{TERM} 的值增加到 55Ω，即可改善 R_{IN_SER} 的输入回波损耗 (Sss11)。这一改善如 图 8-3 所示，在频率平坦度和噪声系数方面的边际权衡分别如 图 8-2 和 图 8-4 所示。

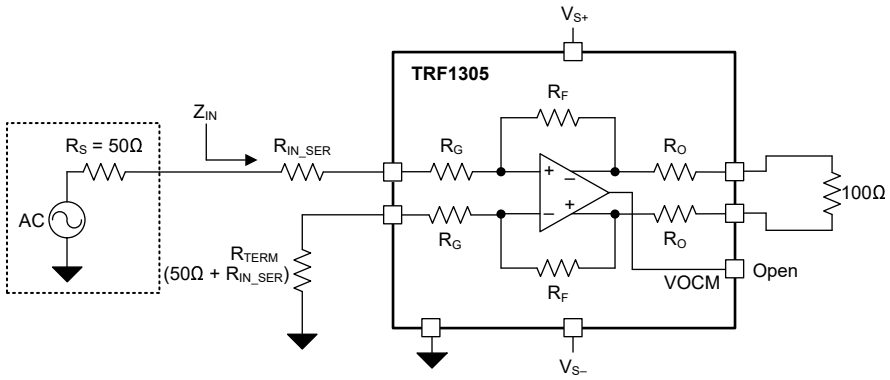
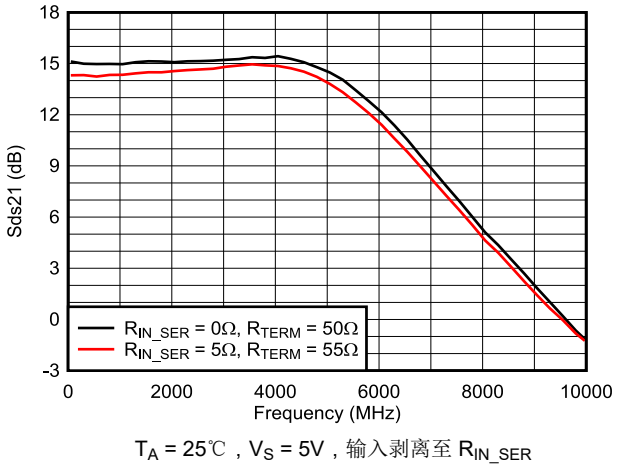
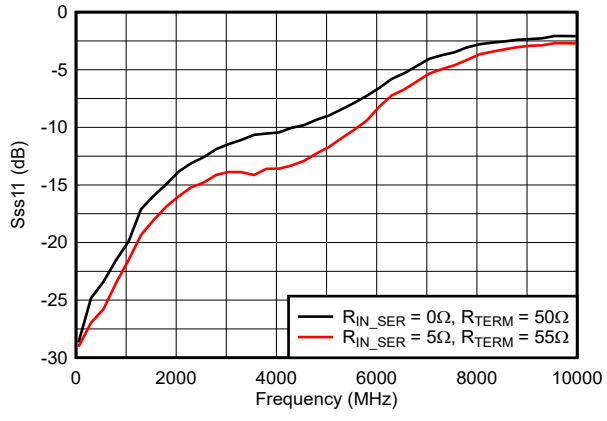


图 8-1. 与 50Ω 源匹配的直流耦合单端输入



T_A = 25℃，V_S = 5V，输入剥离至 R_{IN_SER}

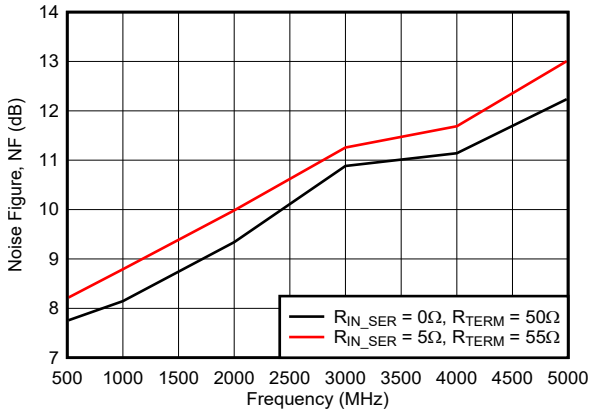
图 8-2. 功率增益 (Sds21) 随 R_{IN_SER}、R_{TERM} 的变化



T_A = 25℃，V_S = 5V，输入剥离至 R_{IN_SER}

图 8-3. 输入回波损耗 (Sss11) 随 R_{IN_SER}、R_{TERM} 的变化

Copyright © 2025 Texas Instruments Incorporated



T_A = 25℃，V_S = 5V，输入剥离至 R_{IN_SER}

图 8-4. 噪声系数 (NF) 随 R_{IN_SER}、R_{TERM} 的变化

图 8-5 显示了如何通过在输入和输出端添加串联交流耦合电容器来为单端交流耦合输入配置 图 8-1 中的设计。

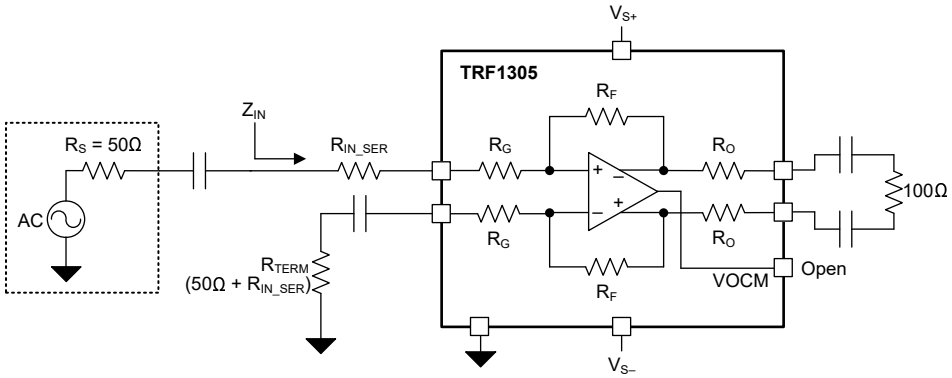


图 8-5. 与 50Ω 源匹配的交流耦合单端输入

8.1.1.2 差分输入

图 8-6 显示了如何使用由三个电阻器组成的简单网络来将差分输入与 100Ω 差分源匹配。尽管 1kΩ 分流电阻器 R_{IN_SH} 对直流至低频没有任何影响，但为了获得 TRF1305x1 的完整宽带性能，该电阻器是必需的。图 8-7 显示了交流耦合差分输入设计的配置。图 8-6 和图 8-7 中显示的电阻值适用于 TRF1305x1 的所有增益版本来实现 100Ω 输入与 100Ω 差分源匹配。

可使用小尺寸电阻器（首选 0201）和射频质量来实现高频率匹配。

Copyright © 2025 Texas Instruments Incorporated

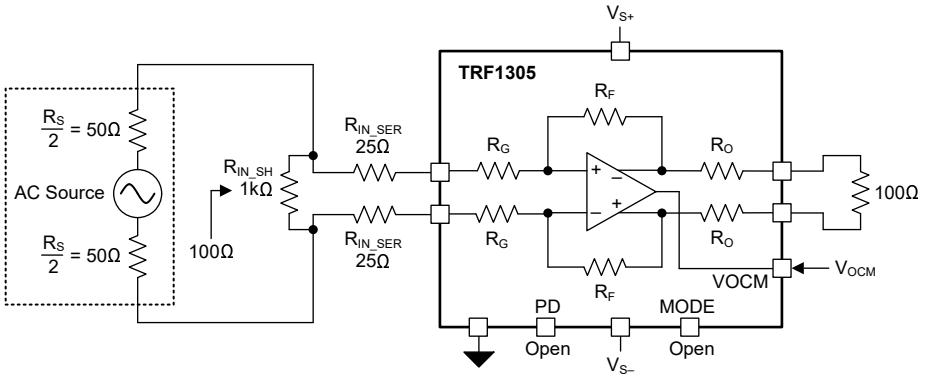


图 8-6. 与 100Ω 差分源匹配的直流耦合差分输入

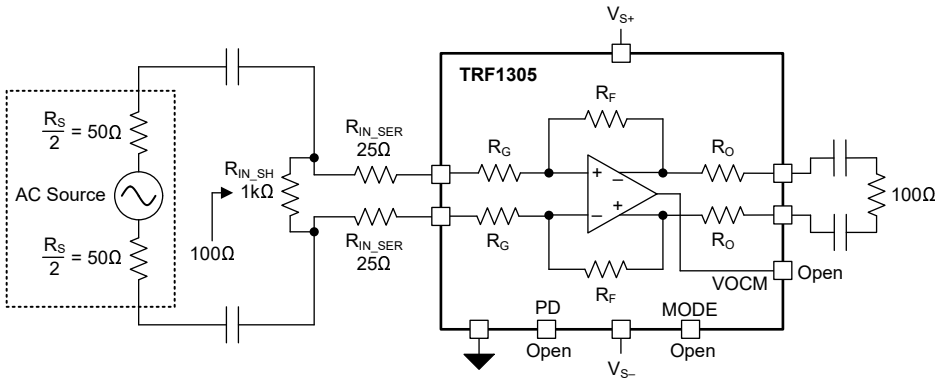


图 8-7. 与 100Ω 差分源匹配的交流耦合差分输入

8.1.1.3 直流耦合注意事项

TRF1305x1 支持宽域输入直流共模 (CM) 电压。当 TRF1305x1 在输入端直流耦合时，要考虑电源的直流电流负载。图 8-8 显示了当输入 CM 电压 V_{ICM} 与输出 CM 电压 V_{OCM} 不同时，会产生来自或流向电源的净直流电流。方程式 1 显示了拉电流或灌电流 I_{CM} 与输入和输出 CM 电压之间的关系：

$$I_{CM} = \frac{(V_{OCM} - V_{ICM})}{(R_F + R_G)} \quad (1)$$

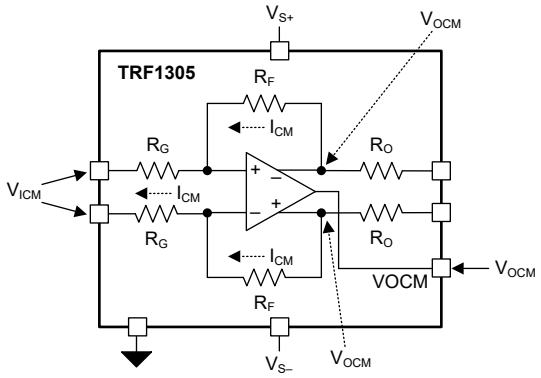


图 8-8. 输入和输出共模电压不等时的净直流电流

Copyright © 2025 Texas Instruments Incorporated

8.1.2 在差分输入配置中使用外部电阻器进行增益调整

TRF1305x1 支持通过在差分输入配置下配置输入外部电阻网络来进行微小的增益调整。图 8-9 所示为外部输入网络，该网络由一个并联电阻 R_{IN_SH} 和两个串联输入电阻 R_{IN_SER} 组成，这些电阻连接到放大器的输入引脚。

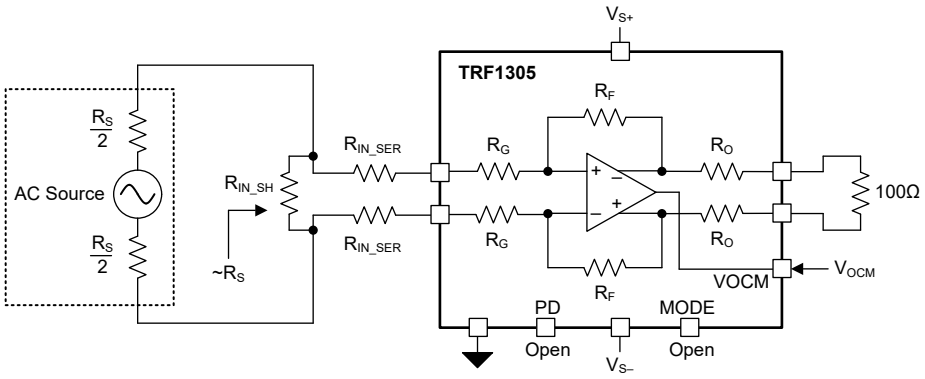


图 8-9. 通过外部电阻网络进行增益调整

表 8-1 提供适用于 100 Ω 差分源阻抗的电阻器配置。

表 8-1. R_S = 100 Ω 时的电阻表

TRF1305A1		
功率增益 (dB)	R_{IN_SH} (Ω)	R_{IN_SER} (Ω)
15	1000	25
14	365	29
13	233	33
12	176	38
11	145	43
10	125	49

外部电阻衰减网络仅用于进行微小的增益调整，因为电阻衰减器会导致 dB 到 dB 的噪声系数下降。要实现相应的总体增益，请使用需要极少衰减的放大器版本。

Copyright © 2025 Texas Instruments Incorporated

8.2 典型应用

8.2.1 TRF1305A1 用作零中频接收器中的 ADC 驱动器

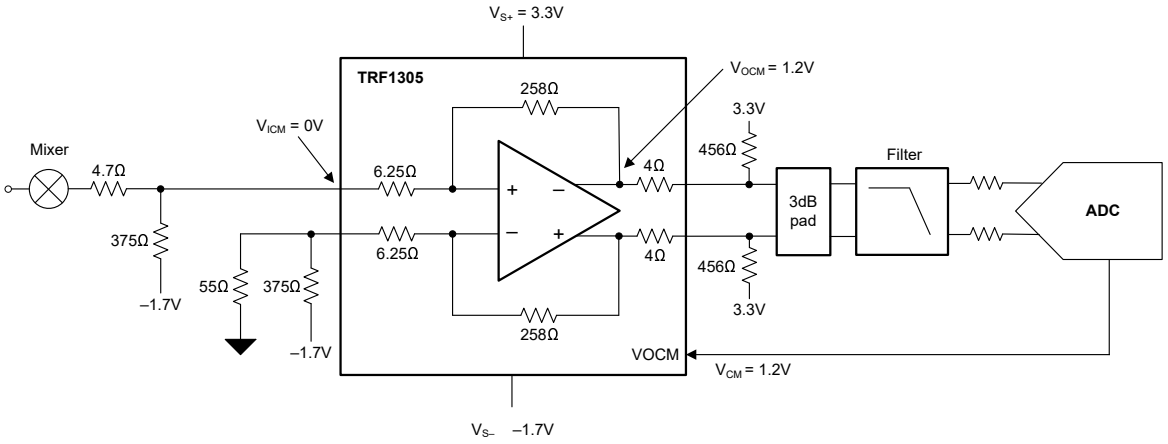


图 8-10. TRF1305A1 用作零中频接收器中的 ADC 驱动器

假设有一个零中频（直接降压转换）应用，其中 IQ 解调器连接到一对 ADC。在这种情况下，TRF1305A1 在用作解调器与 ADC 之间的接口放大器。解调器输出和 ADC 输入的直流共模不同。TRF1305A1 将解调器直流耦合到 ADC，而不会降低信号链的信号完整性。

8.2.1.1 设计要求

IQ 解调器应用的主要设计要求是将一对无源混频器与射频 ADC 连接。混频器的共模电压为 0V。该 ADC 需要 1.2V 的输入共模电压，满量程摆幅为 1.35V_{PP}。选择电源，并为 TRF1305A1 设计输入/输出网络作为 ADC 驱动器放大器，以执行直流电平转换和放大功能。

8.2.1.2 详细设计过程

第一步是选择 TRF1305A1 电源。确保 1/2 Vs 电压 $V_{MIDSUPPLY}$ 介于 ADC 共模 (CM) 电压与混频器 CM 电压之间。$V_{MIDSUPPLY}$ 通常放在更靠近 ADC CM 的位置，因为放大器的输出 CM 范围小于输入 CM 范围。确保放大器输入和输出端信号的直流处于有效的工作共模电压范围内。如果需要扩展输入 CM 的范围，请使用 MODE 引脚。

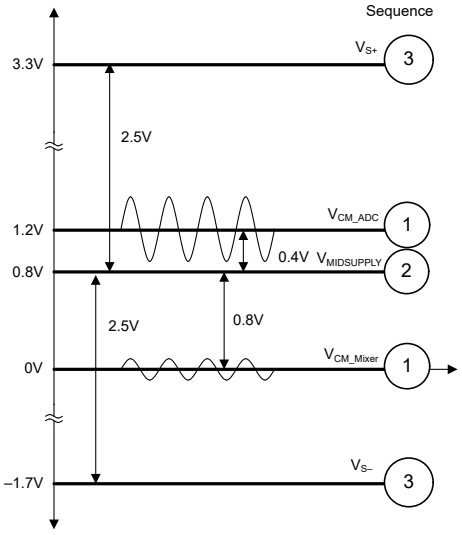


图 8-11. 在给定的共模电压下选择电源电压

Copyright © 2025 Texas Instruments Incorporated

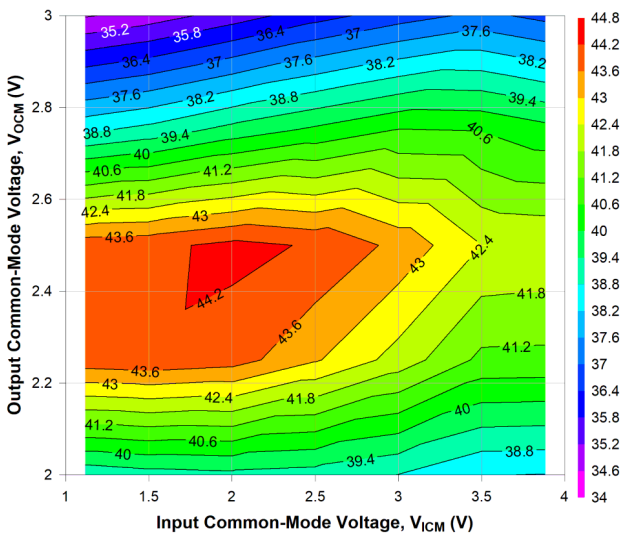
图 8-11 显示了如何将 $V_{MIDSUPPLY}$ 选为 0.8V，以便放大器输入相对于 $V_{MIDSUPPLY}$ 具有 0.8V 的 CM 失调电压，而输出相对于 $V_{MIDSUPPLY}$ 具有 0.4V (1.2V – 0.8V) 的 CM 失调电压。CM 失调电压均在放大器的有效共模范围内，因此 TRF1305A1 的电源电压选择为 V_{S+} = 3.3V (0.8V + 2.5V) 且 V_{S-} = −1.7V (0.8V – 2.5V)。通过选择输入和输出 CM 电压，可以进一步优化电源选择，从而实现出色的 OIP3 性能。节 8.2.1.3 中的轮廓图展示了不同输入和输出共模电压情况下的 OIP3。

输出 CM 大于输入 CM；因此，净 4.54mA ((1.2V – 0V)/(258Ω + 6.25Ω)) 直流电流通过内部反馈电阻器从输出端流向输入端。根据无源混频器的选择，可能需要将该电流吸收到混频器外部，以便混频器的偏置条件不被干扰。在 INP 引脚与 -1.7V 电源之间连接一个 375Ω 下拉电阻器就足够了。如果 4.54mA 的直流电流完全来自放大器，则输出余量可能会受到影响。因此，使用一对连接到放大器输出端的上拉电阻器从电源外部拉取电流；从 OUTP 和 OUTM 到 3.3V 电源之间配备 456Ω 上拉电阻已足够。

I 通道混频器输出具有一个 50Ω 端口，并通过一个小型 (4.7Ω) 串联电阻器连接到放大器 INP 引脚。INM 引脚通过一个 55Ω 电阻器端接至地，并通过一个 375Ω 电阻器端接至 -1.7V 电源。这种配置允许放大器在每个 INP 和 INM 输入引脚上具有相同的输入阻抗。混频器的阻抗接近 43Ω，并提供优于 -20dB 的回波损耗（理论上）。请注意，由于这些电阻器网络，增益会有所下降。图 8-10 中所选的电阻值是一个良好的起点；实际上，通常需要进行一些调整，以同时满足直流条件和射频性能。

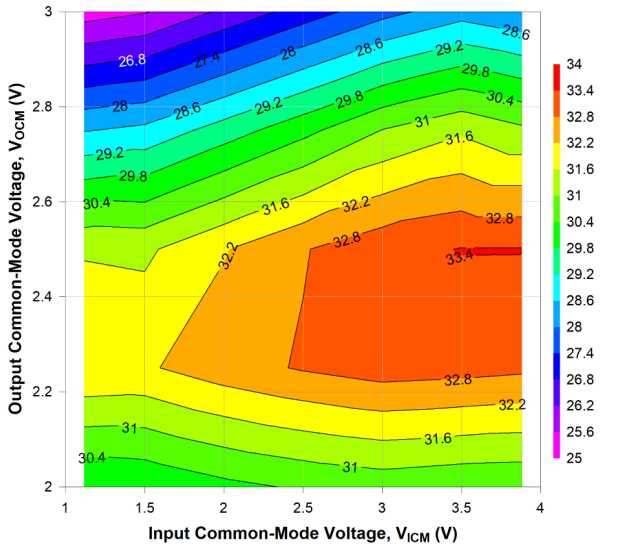
放大器输出端使用具有 100Ω 差分阻抗的 3dB 焊盘来匹配具有 100Ω 差分输入阻抗的抗混叠滤波器。滤波器输出通过适当的匹配连接到 ADC。图 8-10 仅显示了 I 通道；Q 通道具有相同的配置。

8.2.1.3 应用曲线



f = 500MHz，P_O/单音 = 1dBm，2MHz 单音间隔

图 8-12. 输入和输出共模电压情况下的 OIP3



f = 2GHz，P_O/单音 = 1dBm，2MHz 单音间隔

图 8-13. 输入和输出共模电压情况下的 OIP3

Copyright © 2025 Texas Instruments Incorporated

8.3 电源相关建议

8.3.1 电源电压

对于 TRF1305x1，VS+ 和 VS– 之间的典型差分电源电压为 5V。VS+ 和 VS– 电源引脚可以在*绝对最大额定值*和*建议运行条件*中列出的指定范围内相对于接地端悬空。

8.3.2 单电源供电

在单电源配置中，VS– 引脚连接到接地端。在交流耦合配置中，单电源运行最为方便，因为输入端源的直流共模电压和输出端的驱动电路本质上是解耦的。

8.3.3 双电源供电

在双电源配置中，选择 V_{S+}和 V_{S-} 电压，使其处于*绝对最大额定值* 和*建议运行条件* 中规定的范围内。TRF1305x1 允许为 V_{S-} 电源选择负电压，从而可以根据输入网络和输出网络要求灵活地选择输入和输出共模电压。

8.3.4 电源去耦

VS+ 和 VS– 电源引脚使用外部电容器单独去耦至接地端。将去耦电容器靠近器件电源引脚放置。

Copyright © 2025 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

TRF1305x1 器件是宽带闭环反馈放大器。使用具有高增益的宽带射频放大器进行设计时，请采取一定的电路板布局布线预防措施，以保持稳定性和优化的性能。使用多层电路板来保持信号完整性、电源完整性和热性能。

将射频输入和输出线路布线为接地共面波导 (GCPW) 线路。接地引脚是射频信号的基准。确保 PCB 的第二层具有连续的接地层，并且放大器附近没有任何接地开孔。为了更大限度地减少相位不平衡，请匹配两个通道的输出差分线路的长度。匹配输入走线的长度也很重要，尤其是采用差分输入配置时。尽可能使用小尺寸无源器件。

为了获得良好的散热效果，请在器件下方使用散热过孔将器件散热焊盘连接到电路板接地层。为了改善散热，请将器件散热焊盘连接到电路板的顶层接地平面。

8.4.1.1 散热注意事项

TRF1305x1 采用 WQFN-FCRLF 封装，具有出色的热属性。将器件下方的散热焊盘连接到电路板上的散热接地平面。为了实现良好的散热设计，请使用散热过孔将 PCB 顶层的散热焊盘平面连接到内层的接地平面。

8.4.2 布局示例

图 8-14 显示了采用差分输入配置的 TRF1305x1 的示例布局。图中突出显示了关键区域。

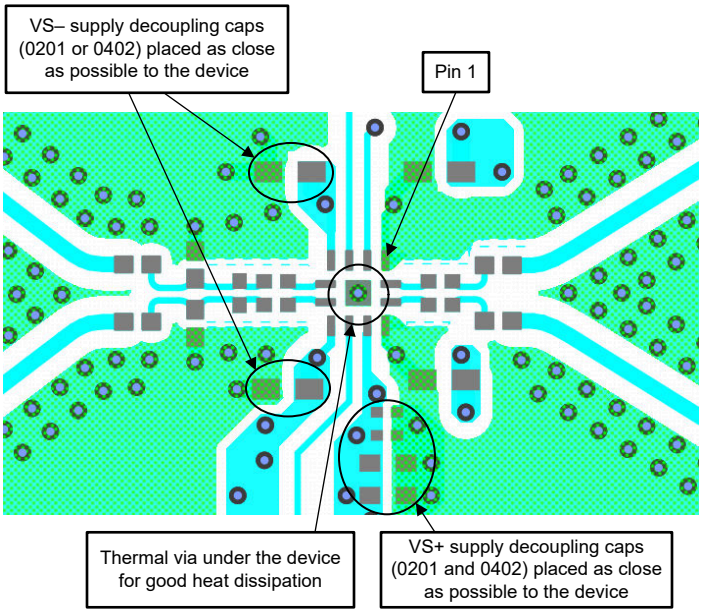


图 8-14. 布局示例：具有差分输入的 TRF1305x1

TRF1305A1 可以使用从 TRF1305A1 产品文件夹订购的 EVM 板进行评估。有关评估板结构和测试设置的更多信息，请参阅 *TRF1305x1 EVM 用户指南*。

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TRF1305x1-D2D EVM 用户指南*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2025	*	初始发行版

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TRF1305A1RPVR	Active	Production	WQFN-HR (RPV) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	135A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

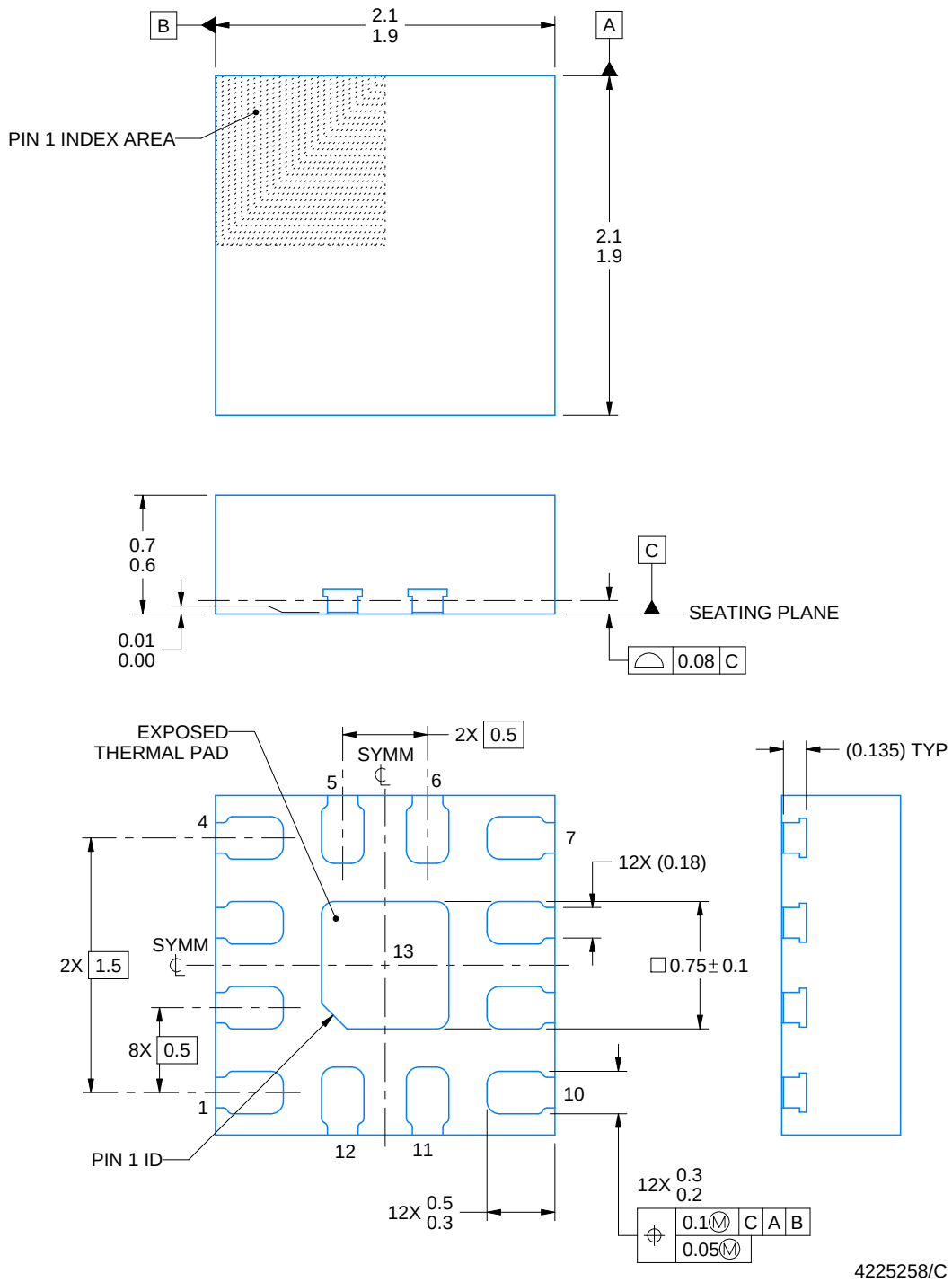
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

RPV0012A

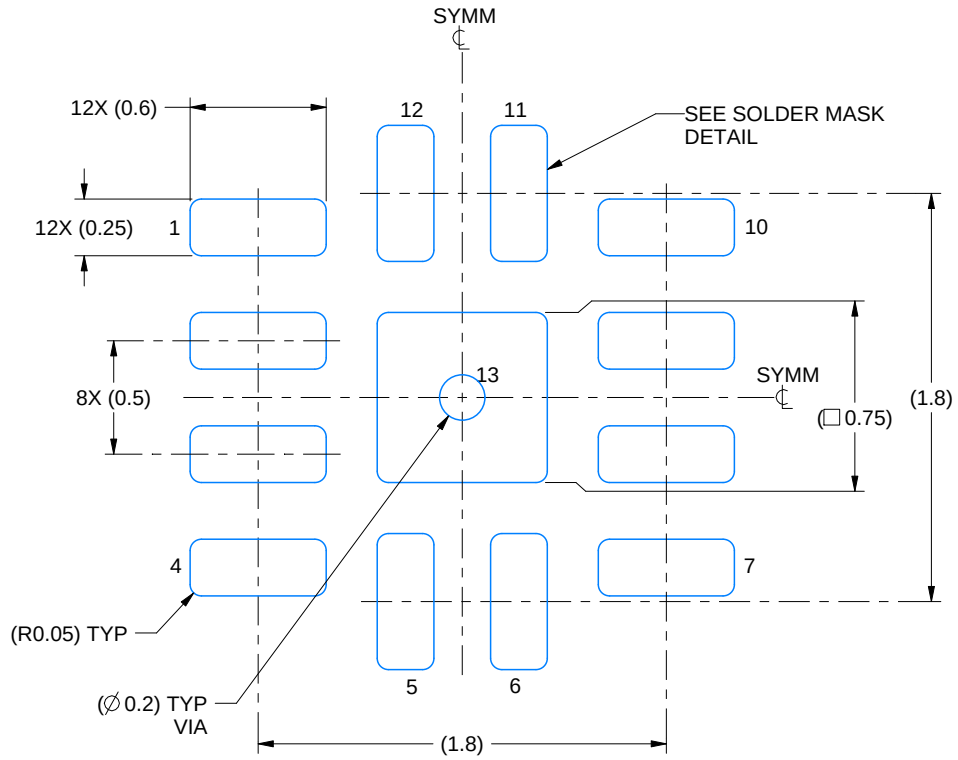
WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

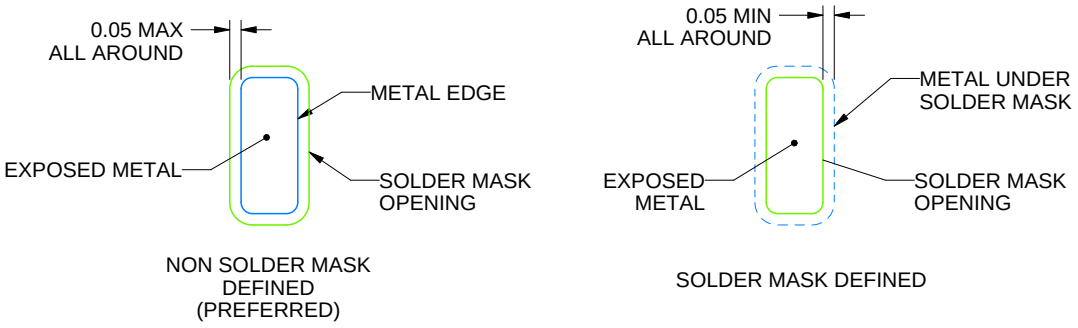


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X

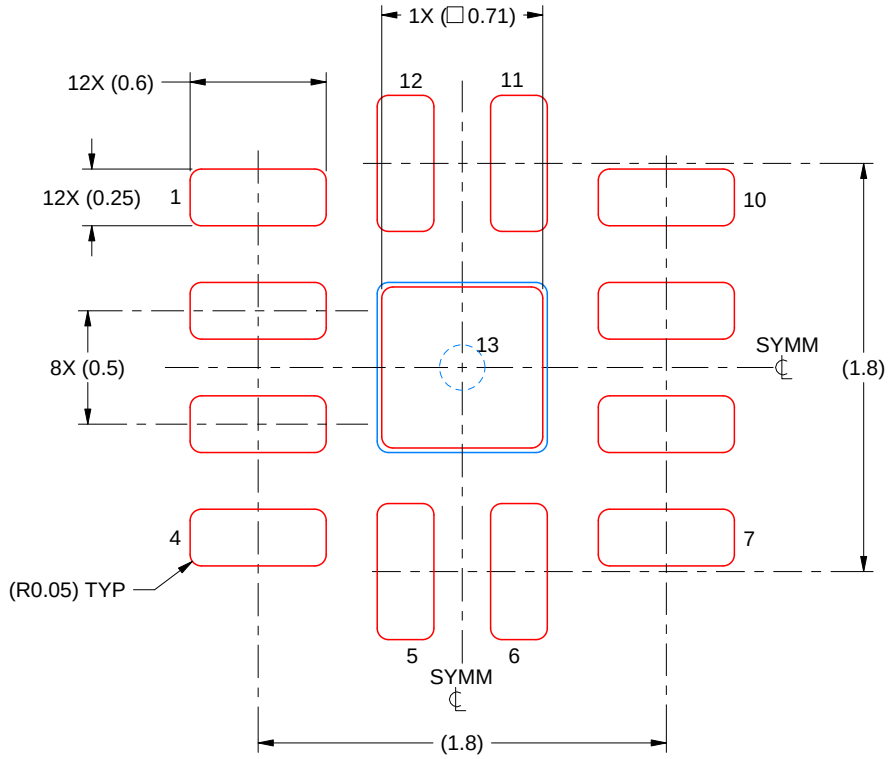


SOLDER MASK DETAILS

4225258/C 08/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

EXPOSED PAD 13
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225258/C 08/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月