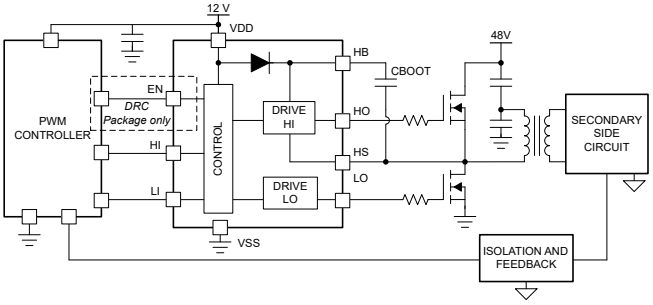
UCC27301A-Q1 具有 8V UVLO、互锁和使能功能的汽车级 120V、3.7A/4.5A 半桥驱动器

1 特性

- 可驱动两个采用半桥配置的 N 沟道 MOSFET
- 符合面向汽车应用的 AEC-Q100 标准：
  - 器件温度 1 级
- -40°C 至 +150°C 的结温范围
- HB 引脚上的 120V 绝对最大电压
- 3.7A 灌电流，4.5A 拉电流输出
- 8V 至 17V VDD 工作范围（绝对最大值 20V），具有 UVLO 功能
- HS 引脚上的 -(28-VDD)V 绝对最大负瞬态容差（< 100ns 脉冲）
- -10V 至 +20V 绝对最大输入引脚容差，与电源电压范围无关（与 TTL 兼容）
- 开关参数：
  - 20ns 典型传播延迟时间
  - 1000pF 负载时上升时间为 7.2ns，下降时间为 5.5ns
  - 4ns 典型延迟匹配
- 集成式自举二极管
- 输入互锁
- 启用/禁用功能，且禁用时电流消耗较低（典型值为 3 μA）（仅限 DRC 封装）
- 功能安全型
  - 可提供用于功能安全系统设计的文档

2 应用

- 汽车直流/直流转换器和 OBC
- 两轮车/三轮车牵引驱动器和电池包
- 电动助力转向 (EPS)
- 无线充电
- 智能玻璃模块



典型应用图

3 说明

UCC27301A-Q1 是一款强大的栅极驱动器，专为驱动采用半桥或同步降压配置的两个 N 沟道 MOSFET 而设计，绝对最大自举电压为 120V。凭借 3.7A 的峰值拉电流和 4.5A 的峰值灌电流能力，UCC27301A-Q1 可在驱动大功率 MOSFET 的同时，使切换过程经过米勒平坦区时实现极低的开关损耗。开关节点（HS 引脚）可处理负瞬态电压，从而保护高侧通道不受寄生电感和杂散电容所固有的负电压影响。

输入与电源电压无关，并且能够承受 -10V 和 +20V 的绝对最大额定值。低侧和高侧栅极驱动器彼此之间的开通和关断时间均为 4ns，并通过 LI 和 HI 输入引脚独立控制。不过，只要 LI 和 HI 输入同时为高电平，输入互锁逻辑就会将两个驱动器输出变为低电平。由于使用了一个额定电压为 120V 的片上自举二极管，因此无需添加分立式自举二极管。高侧和低侧驱动器均配有欠压锁定 (UVLO) 功能，可提供对称的开通和关断行为，并且能够在驱动电压低于额定阈值时将输出强制为低电平。

封装信息

器件型号	封装(1)	使能引脚	封装尺寸（标称值）
UCC27301AQDDARQ1	DDA（PowerPAD™ SOIC，8）	否	4.9mm × 3.9mm
UCC27301AQDRCRQ1(2)	DRC（VSON，10）	是	3mm × 3mm

(1) 有关所有可用封装，请参阅节 12。
(2) 预告信息

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 开关特性 6
5.7 时序图 7
5.8 典型特性 8
6 详细说明 11
6.1 概述 11
6.2 功能方框图 12
6.3 特性说明 12
6.4 器件功能模式 14
7 应用和实施 15
7.1 应用信息 15
7.2 典型应用 15
8 电源相关建议 19
9 布局 19
9.1 布局指南 19
9.2 布局示例 20
9.3 散热注意事项 21
10 器件和文档支持 22
10.1 器件支持 22
10.2 文档支持 22
10.3 接收文档更新通知 22
10.4 支持资源 22
10.5 商标 22
10.6 静电放电警告 22
10.7 术语表 22
11 修订历史记录 22
12 机械、封装和可订购信息 24
12.1 卷带包装信息 24
12.2 机械数据 26

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

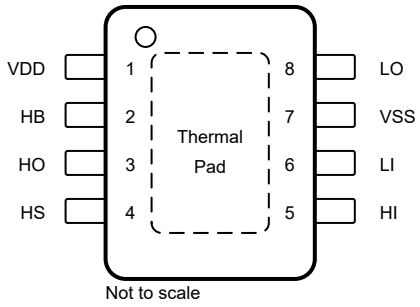


图 4-1. DDA 封装 8 引脚 SOIC（采用 PowerPad™ 技术）顶视图

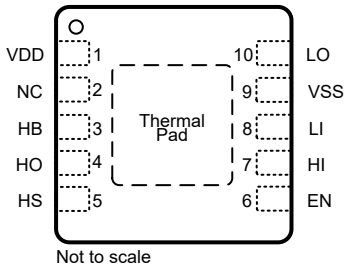


图 4-2. DRC 封装 10 引脚 SON 顶视图

表 4-1. 引脚功能

引脚			类型(3)	说明
名称	DDA	DRC		
EN	不适用	6	I	使能输入。当该引脚被拉高时，它将启用驱动器。如果保持悬空或被拉低，它将禁用驱动器。建议在 EN 和 VSS 之间放置一个滤波电容器（通常为 1nF 至 10nF），以提高敏感应用的抗噪性能。
HB	2	3	P	高侧自举电源。自举二极管位于片上，但需要外部自举电容器。将自举电容器的正极侧连接到该引脚。HB 旁路电容器的典型范围为 0.022μF 至 0.1μF。电容器值取决于高侧 MOSFET 的栅极电荷，还必须根据速度和纹波标准进行选择。
HI	5	7	I	高侧输入。(1)
HO	3	4	O	高侧输出。连接到高侧功率 MOSFET 的栅极。
HS	4	5	P	高侧源极连接。连接到高侧功率 MOSFET 的源极。将自举电容器的负极侧连接到该引脚。
LI	6	8	I	低侧输入。(1)
LO	8	10	O	低侧输出。连接到低侧功率 MOSFET 的栅极。
VDD	1	1	P	低侧栅极驱动器的正电源。将该引脚去耦合至 V_{SS} (GND)。典型去耦电容器范围为 0.22μF 到 4.7μF（请参阅(2)）。
VSS	7	9	G	器件的负电源端子，通常为接地。
散热焊盘(4)	焊盘	Pad	—	连接到热质量较大的布线和 GND 平面以提高热性能。

(1) 假设 HI、LI 和 EN 输入连接到低阻抗源信号。假设源输出阻抗小于 100Ω。如果源阻抗大于 100Ω，请在 HI 和 VSS 之间、LI 和 VSS 之间以及 EN 和 VSS 之间分别添加一个旁路电容器。添加的电容器值取决于引脚上出现的噪声水平，通常 1nF 至 10nF 应能有效消除可能的噪声影响。当 HI 或 LI 这两个引脚上出现噪声时，会导致 HO 和 LO 故障，产生错误的逻辑输出。
(2) 对于低温应用，TI 建议使用电容范围上限值。请遵循 PCB 布局的布局指南。
(3) G = 接地，I = 输入，O = 输出，P = 电源。
(4) 引脚 VSS 和外露散热焊盘仅在 DRC 封装上进行内部连接。在 DDA 封装上，散热焊盘并不直接连接到封装的任何引线；而是以电气方式和热方式连接至基板，该基板是器件的接地板。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内，且所有电压以 V_{ss} 为基准（除非另有说明）。(1)

			最小值	最大值	单位
V_{DD}	电源电压		-0.3	20	V
V_{HI}，V_{LI}	HI 和 LI 上的输入电压		-10	20	V
V_{EN}	EN 上的输入电压（仅 DRC 封装）	EN 上的输入电压或 EN	-10	20	V
V_{LO}	LO 上的输出电压	DC	-0.3	V_{DD} + 0.3	V
		重复脉冲 < 100 ns(2)	-2	V_{DD} + 0.3	
V_{HO}	HO 上的输出电压	DC	V_{HS} – 0.3	V_{HB} + 0.3	V
		重复脉冲 < 100 ns(2)	V_{HS} – 2	V_{HB} + 0.3	
V_{HS}	HS 电压	DC	-1	120	V
		重复脉冲 < 100 ns(2)	-(28-V_{DD})	120	
V_{HB}	HB 电压		-0.3	120	V
	HB-HS 上的电压		-0.3	20	V
T_J	工作结温		-40	150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 这些值根据特征进行验证，并未经过生产测试。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内，且所有电压以 V_{ss} 为基准（除非另有说明）。

		最小值	标称值	最大值	单位
V_{DD}	电源电压	8	12	17	V
V_{HS}	HS 电压	-1		105	V
V_{HB}	HB 电压	V_{HS} + 8，V_{DD} – 1		V_{HS} + 17，115	V
SR_{HS}	HS 上的电压压摆率			50	V/ns
T_J	工作结温	-40		150	°C

5.4 热性能信息

热指标(1)		UCC27301A-Q1		单位
		DDA (PowerPad™ SOIC)	DRC (VSON)	
		8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	47.1	51.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	60.8	58.3	°C/W
$R_{\theta JB}$	结至电路板热阻	21.3	24.6	°C/W
ψ_{JT}	结至顶部特征参数	6.3	1.7	°C/W
ψ_{JB}	结至电路板特征参数	21.3	24.6	°C/W

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息（续）

热指标(1)		UCC27301A-Q1		单位
		DDA (PowerPad™ SOIC)	DRC (VSON)	
		8 引脚	10 引脚	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	6.2	9.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告 (SPRA953)。

5.5 电气特性

V_{DD} = V_{HB} = 12V，V_{HS} = V_{SS} = 0V，LO 或 HO 无负载，T_J = T_J = –40°C 至 +150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{DD}	VDD 静态电流	V_{LI} = V_{HI} = 0V，V_{EN} = 3V		0.11	0.19	mA
I_{DDO}	VDD 工作电流	f = 500kHz，C_{LOAD} = 0，V_{EN} = 3V		1.4	3	mA
I_{HB}	启动电压静态电流	V_{LI} = V_{HI} = 0V，V_{EN} = 3V		0.065	0.12	mA
I_{HBO}	启动电压工作电流	f = 500kHz，C_{LOAD} = 0，V_{EN} = 3V		1.3	3	mA
I_{HBS}	HB 至 VSS 静态电流	V_{HS} = V_{HB} = 105V，V_{EN} = 3V		0.0005	1	µA
I_{HBSO}	HB 至 VSS 工作电流	f = 500kHz，C_{LOAD} = 0，V_{EN} = 3V		0.03	1	mA
I_{DD_DIS}	EN 引脚拉至低电平时的驱动器电流（禁用）	仅 DRC 封装，V_{EN} = 0		3		µA
输入						
V_{HIT_HI}	输入电压高电平阈值		1.7	2.3	2.55	V
V_{HIT_LI}	输入电压高电平阈值		1.7	2.3	2.55	V
V_{LIT_HI}	输入电压低电平阈值		1.2	1.6	1.9	V
V_{LIT_LI}	输入电压低电平阈值		1.2	1.6	1.9	V
$V_{IHYS\ HI}$	输入电压迟滞			0.7		V
$V_{IHYS\ LI}$	输入电压迟滞			0.7		V
R_{IN_HI}	输入下拉电阻	V_{IN} = 3V		68		kΩ
R_{IN_LI}	输入下拉电阻	V_{IN} = 3V		68		kΩ
ENABLE						
V_{EN}	EN 引脚上用于启用驱动器的电压阈值	仅 DRC 封装	1.7	2.3	2.55	V
V_{DIS}	EN 引脚上用于禁用驱动器的电压阈值	仅 DRC 封装	1.2	1.6	1.9	V
V_{ENHYS}	使能引脚迟滞	仅 DRC 封装		0.7		V
R_{EN}	EN 引脚内部下拉电阻	仅 DRC 封装，V_{EN} = 3V		80		kΩ
T_{EN}	EN 引脚被拉至高电平后启用驱动器的时间	仅 DRC 封装，V_{EN} = 3V		10		µs
T_{DIS}	在 EN 引脚被拉至低电平后禁用驱动器的时间	仅 DRC 封装，V_{EN} = 0V		0.1		µs
欠压保护 (UVLO)						
V_{DDR}	VDD 上升阈值		6.2	7	7.8	V
V_{DDHYS}	VDD 阈值迟滞			0.5		V
V_{HBR}	VHB 上升阈值		5.6	6.7	7.9	V
V_{HBHYS}	VHB 阈值迟滞			1.1		V
自举二极管						
V_F	低电流正向电压	I_{VDD-HB} = 100 µA		0.65	0.85	V
V_{FI}	高电流正向电压	I_{VDD-HB} = 100mA		0.9	1.05	V
R_D	动态电阻，ΔVF/ΔI	I_{VDD-HB} = 160mA 和 180mA	0.3	0.55	0.85	Ω
LO 栅极驱动器						
V_{LOL}	低电平输出电压	I_{LO} = 100mA		0.07	0.19	V
V_{LOH}	高电平输出电压	I_{LO} = -100mA，V_{LOH} = V_{DD} – V_{LO}		0.11	0.29	V

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

V_{DD} = V_{HB} = 12V，V_{HS} = V_{SS} = 0V，LO 或 HO 无负载，T_J = T_J = –40°C 至 +150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
	峰值上拉电流(1)	V_{LO} = 0V		3.7		A
	峰值下拉电流(1)	V_{LO} = 12V		4.5		A
HO 栅极驱动器						
V_{HOL}	低电平输出电压	I_{HO} = 100mA		0.07	0.19	V
V_{HOH}	高电平输出电压	I_{HO} = –100mA，V_{HOH} = V_{HB}- V_{HO}		0.11	0.29	V
	峰值上拉电流(1)	V_{HO} = 0V		3.7		A
	峰值下拉电流(1)	V_{HO} = 12V		4.5		A

(1) 未经量产测试的参数。

5.6 开关特性

V_{DD} = V_{HB} = 12V，V_{HS} = V_{SS} = 0V，LO 或 HO 无负载，T_J = T_J = –40°C 至 +150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
传播延迟						
t_{DLFF}	VLI 下降至 VLO 下降	C_{LOAD} = 0pF，从 LI 的 V_{LIT} 到 LO 下降的 90%	10	19	30	ns
t_{DHFF}	VHI 下降至 VHO 下降	C_{LOAD} = 0pF，从 HI 的 V_{LIT} 到 HO 下降的 90%	10	19	30	ns
t_{DLRR}	VLI 上升至 VLO 上升	C_{LOAD} = 0pF，从 LI 的 V_{HIT} 到 LO 上升的 10%	10	20	42	ns
t_{DHRR}	VHI 上升至 VHO 上升	C_{LOAD} = 0pF，从 HI 的 V_{HIT} 到 HO 上升的 10%	10	20	42	ns
延迟匹配						
t_{MON}	LI 开启，HI 关闭	T_J = 25°C，从 LO 上升的 10% 到 HO 下降的 90%		4	9.5	ns
t_{MON}	LI 开启，HI 关闭	T_J = -40°C 至 150°C，从 LO 上升的 10% 到 HO 下降的 90%		4	17	ns
t_{MOFF}	LI 关闭，HI 打开	T_J = 25°C，从 LO 下降的 90% 到 HO 上升的 10%		4	9.5	ns
t_{MOFF}	LI 关闭，HI 打开	T_J = -40°C 至 150°C，从 LO 下降的 90% 到 HO 上升的 10%		4	17	ns
输出上升和下降时间						
t_{R_LO}	LO 上升时间	C_{LOAD} = 1000pF，从 10% 到 90%		7.2		ns
t_{R_HO}	HO 上升时间	C_{LOAD} = 1000pF，从 10% 到 90%		7.2		ns
t_{F_LO}	LO 下降时间	C_{LOAD} = 1000pF，从 90% 到 10%		5.5		ns
t_{F_HO}	HO 下降时间	C_{LOAD} = 1000pF，从 90% 到 10%		5.5		ns
$t_{R_LO_p1}$	LO 上升时间（3V 至 9V）	C_{LOAD} = 0.1 µF（3V 至 9V）		0.27	0.6	µs
$t_{R_HO_p1}$	HO 上升时间（3V 至 9V）	C_{LOAD} = 0.1 µF（3V 至 9V）		0.27	0.6	µs
$t_{F_LO_p1}$	LO 下降时间（9V 至 3V）	C_{LOAD} = 0.1 µF（9V 至 3V）		0.16	0.4	µs
$t_{F_HO_p1}$	HO 下降时间（9V 至 3V）	C_{LOAD} = 0.1 µF（9V 至 3V）		0.16	0.4	µs
其他						
t_{IN_PW}	可改变输出 LO 的最小输入脉冲宽度				40	ns
t_{IN_PW}	可改变输出 HO 的最小输入脉冲宽度				40	ns
t_{OFF_BSD}	自举二极管关断时间(1) (2)	I_F = 20mA，I_{REV} = 0.5A(3)		20		ns

(1) 未经量产测试的参数。
(2) T_A = 25°C 的典型值。
(3) I_F：施加到自举二极管的正向电流，I_{REV}：施加到自举二极管的反向电流。

Copyright © 2024 Texas Instruments Incorporated

5.7 时序图

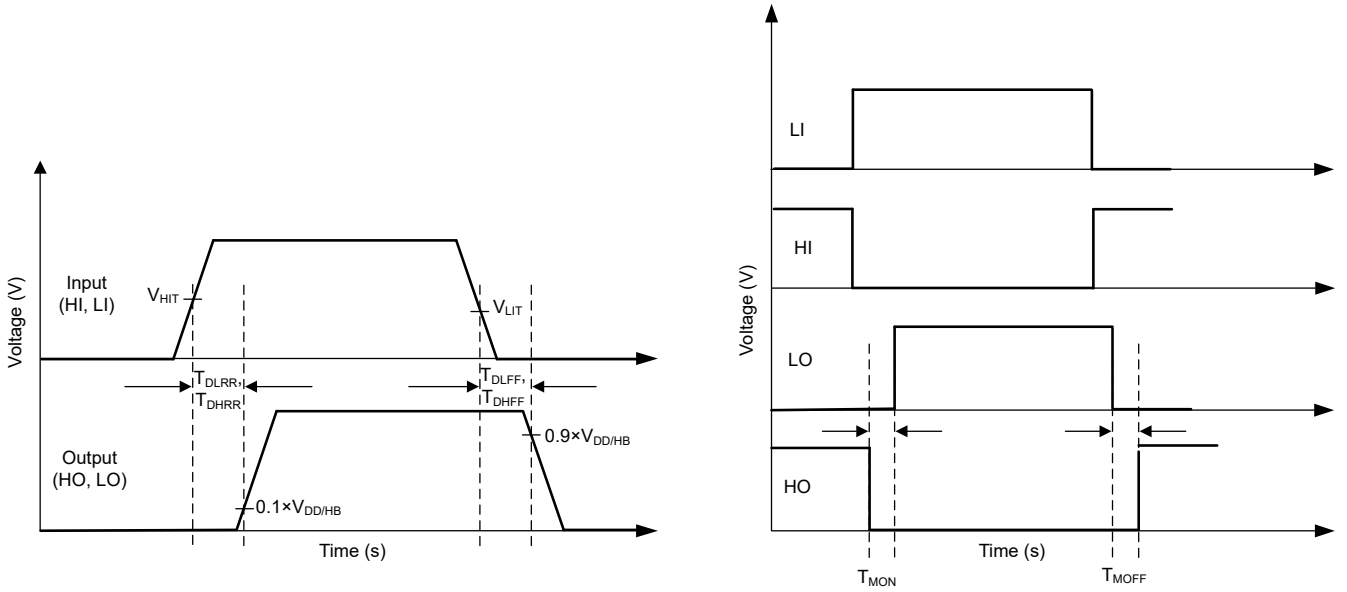


图 5-1. 时序图

5.8 典型特性

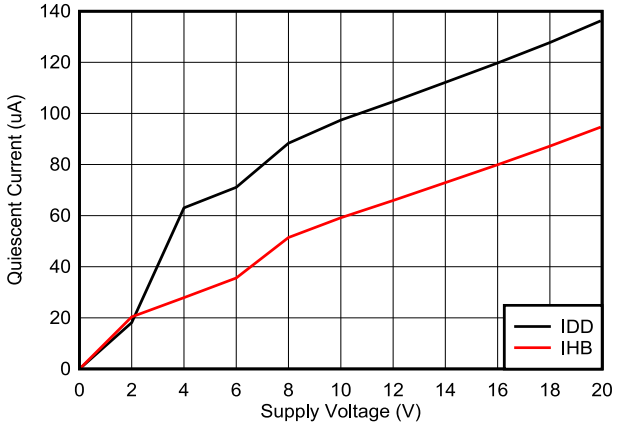


图 5-2. 静态电流与电源电压间的关系

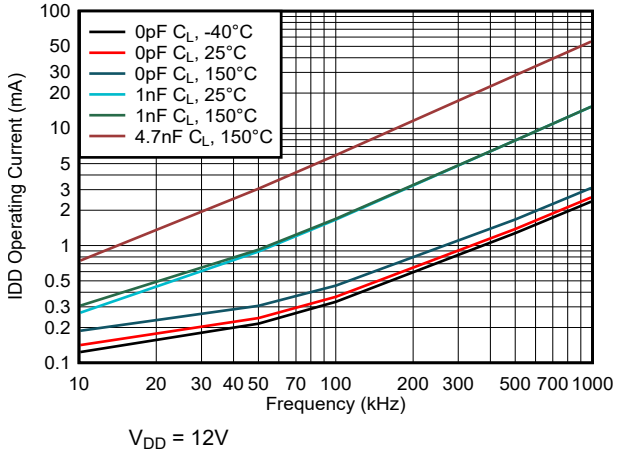


图 5-3. IDD 工作电流与频率间的关系

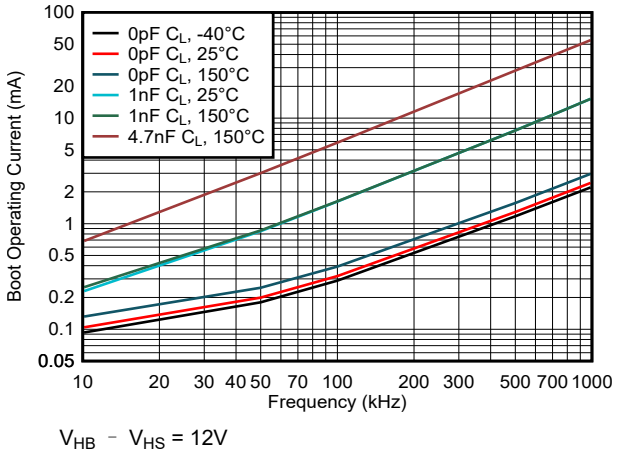


图 5-4. 启动电压工作电流与频率间的关系（HB 至 HS）

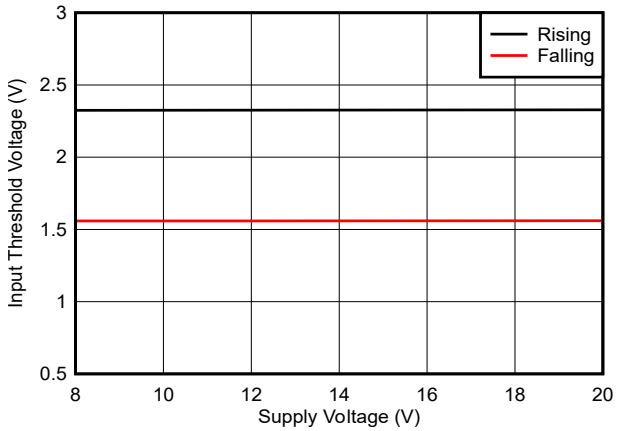


图 5-5. 输入阈值与电源电压间的关系

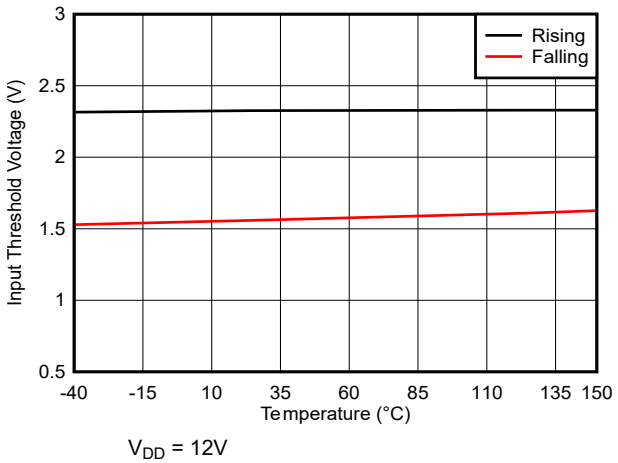


图 5-6. 输入阈值与温度间的关系

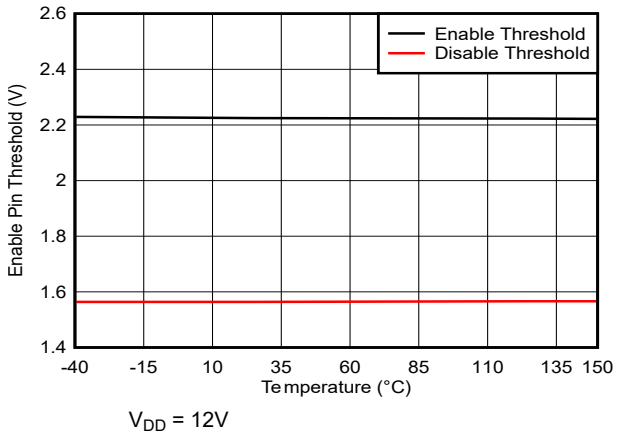
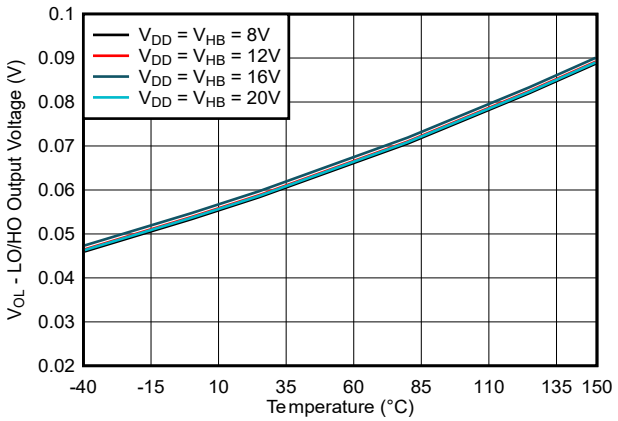


图 5-7. 启用阈值与温度间的关系

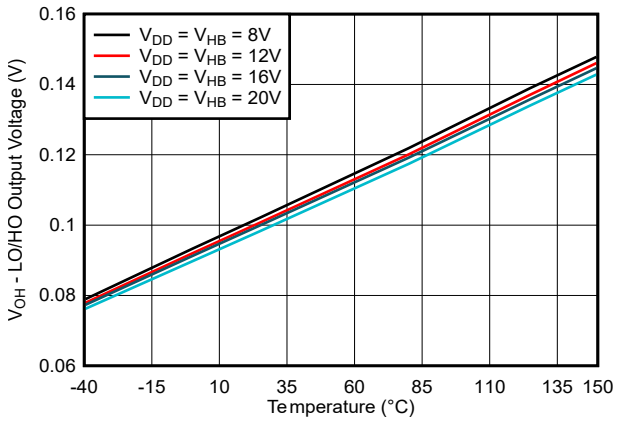
Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）



I_{HO} = I_{LO} = 100mA

图 5-8. LO 和 HO 低电平输出电压与温度间的关系



I_{HO} = I_{LO} = 100mA

图 5-9. LO 和 HO 高电平输出电压与温度间的关系

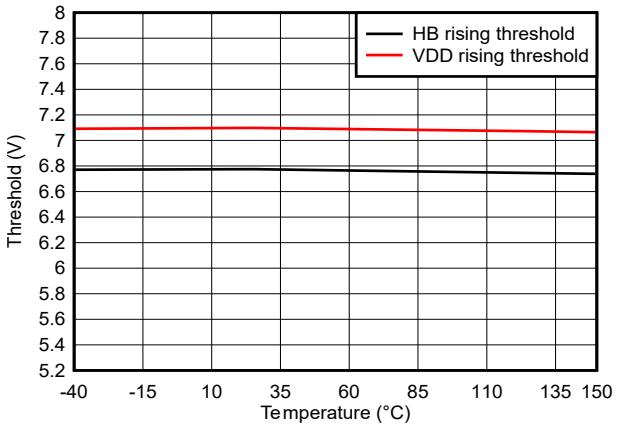


图 5-10. 欠压锁定阈值与温度间的关系

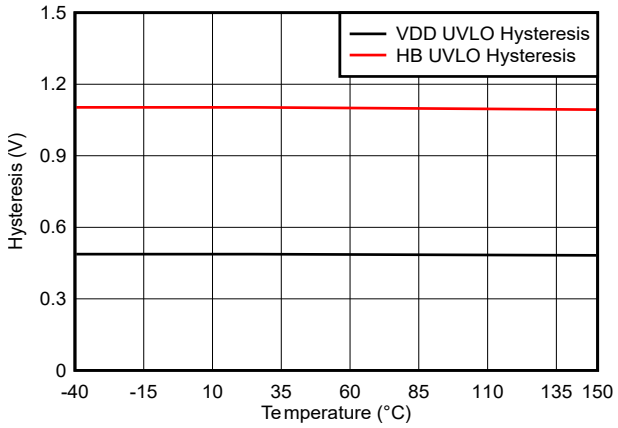
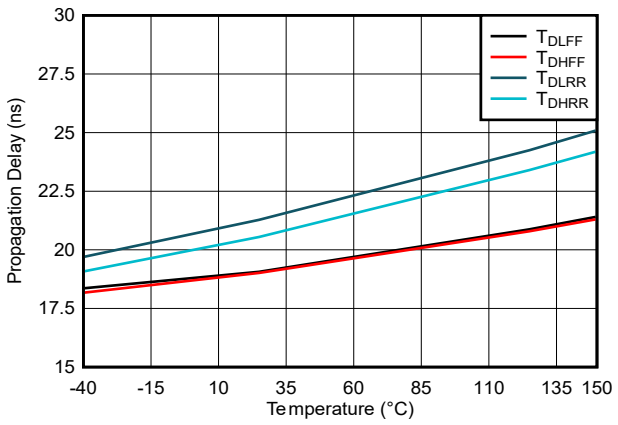
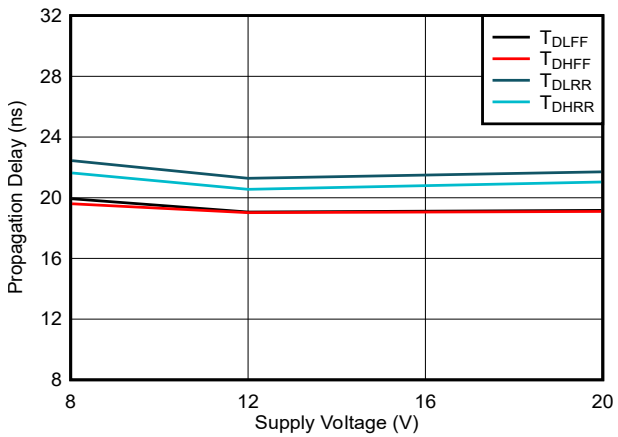


图 5-11. 欠压锁定阈值迟滞与温度间的关系



V_{DD} = V_{HB} = 12V

图 5-12. 传播延迟与温度间的关系

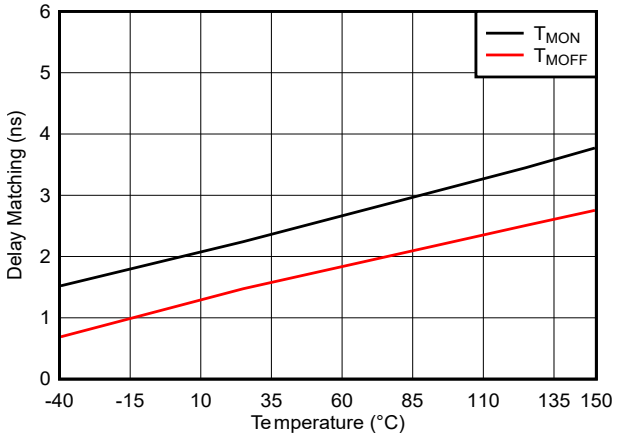


T = 25°C

图 5-13. 传播延迟与电源电压间的关系(V_{DD} = V_{HB})

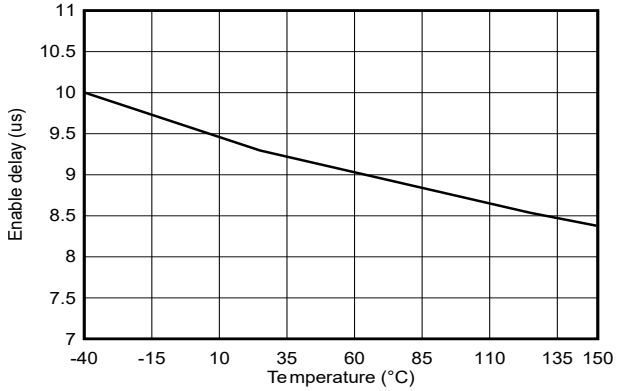
Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）



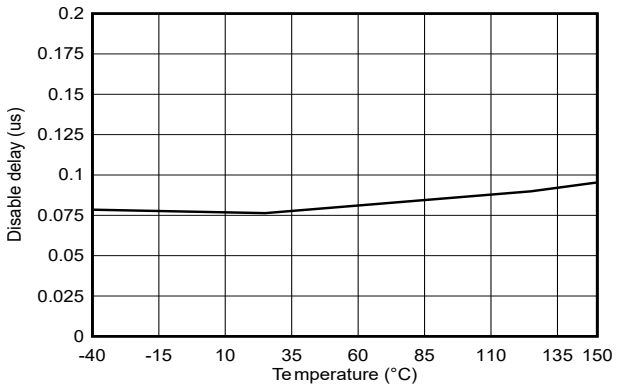
V_{DD} = V_{HB} = 12V

图 5-14. 延迟匹配与温度间的关系



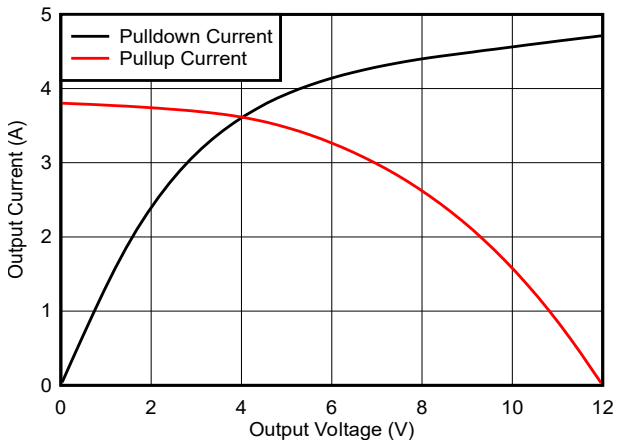
V_{DD} = V_{HB} = 12V

图 5-15. 启用延迟与温度间的关系



V_{DD} = V_{HB} = 12V

图 5-16. 禁用延迟与温度间的关系



V_{DD} = V_{HB} = 12V

图 5-17. 输出电流与输出电压间的关系

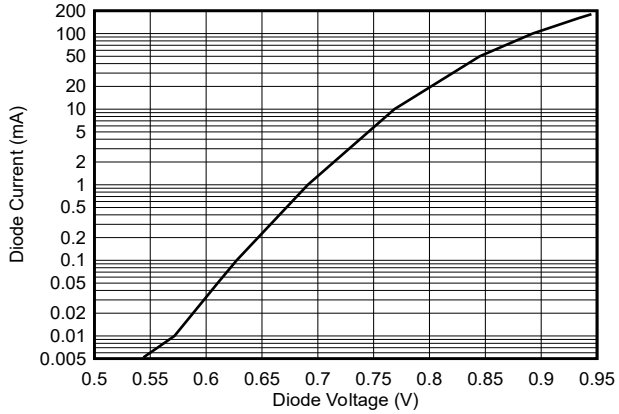


图 5-18. 二极管电流与二极管电压间的关系

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

UCC27301A-Q1 是一款高压栅极驱动器，专为驱动采用同步降压或半桥配置的高侧和低侧 N 沟道 MOSFET 而设计。两个输出由两个 TTL 兼容输入信号独立控制。只要信号符合该器件的导通和关断阈值规格，该器件还可在其输入端使用 CMOS 型控制信号。该悬空高侧驱动器能够在高达 115V 的 HB 电压（以 VSS 为基准）下运行。UCC27301A-Q1 器件内部集成了 120V 自举二极管，用于为高侧栅极驱动自举电容充电。稳健可靠的电平转换器同时拥有高运行速度和低功耗特性，并且可提供从控制逻辑到高侧栅极驱动器的干净电平转换。该器件在低侧和高侧电源轨上提供了欠压锁定 (UVLO) 功能。提供了 EN 引脚（在采用 DRC 封装的器件中）来启用或禁用驱动器。该驱动器还具有输入互锁功能，可在两个输入重叠时关闭两个输出。

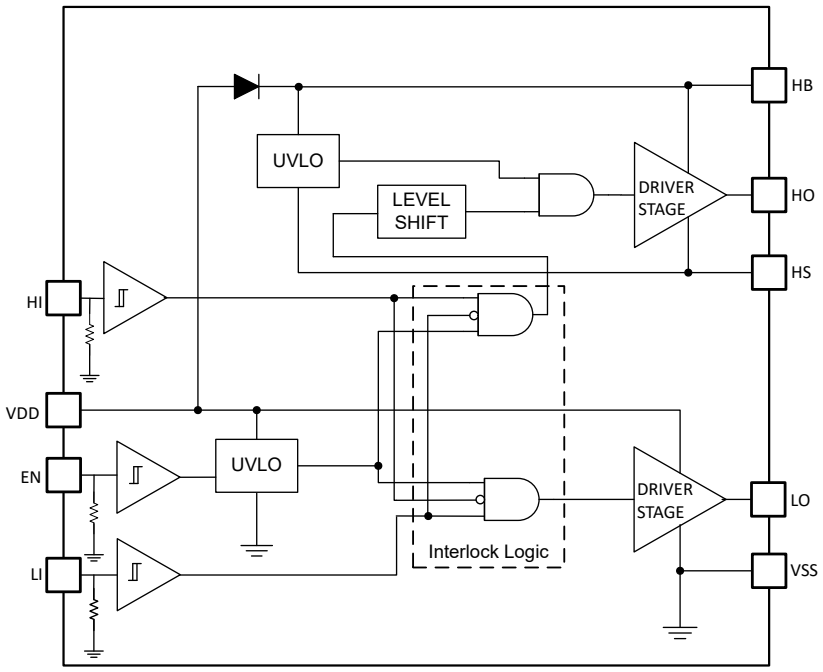
在 UCC27301A-Q1 器件中，高侧和低侧均具有独立的互锁输入，从而在应用中提供强大的输入控制信号灵活性。高侧驱动器偏置电源的自举二极管位于 UCC27301A-Q1 内部。高侧驱动器以开关节点 (HS) 为基准，该节点通常是高侧 MOSFET 的源极引脚和低侧 MOSFET 的漏极引脚。低侧驱动器以 V_{SS} 为基准（通常接地）。UCC27301A-Q1 功能分为输入级、UVLO 保护、电平位移、自举二极管和输出驱动器级。

表 6-1. UCC27301A-Q1 亮点

特性	优势
3.7A 拉电流和 4.5A 灌电流	高峰值电流，非常适合以极小功耗驱动大功率 MOSFET（米勒平坦区域上的快速驱动能力）
输入引脚（HI 和 LI）可以直接处理 –10VDC 至 20VDC 范围	具备增强的稳健性且能够处理下冲和过冲，从而可以直接连接到栅极驱动变压器，而无需使用整流二极管。
120V 内部自举二极管	可提供电压裕度，以满足浪涌要求
开关节点（HS 引脚）能够在 100ns 内处理 -(28-VDD)V 绝对最大值	让高侧通道获得额外保护，以避免受到寄生电感和杂散电容引起的固有负电压的影响
可处理电压尖峰的强大 ESD 电路	出色的大 dV/dT 条件抗扰度
20ns 传播延迟，以及 7.2ns 上升时间和 5.5ns 下降时间	出色的开关特性和极低脉冲传输失真
跨导保护	互锁输入以防止击穿
启用/禁用功能	针对不同的系统状态（如上电时序控制）提供额外的驱动器控制，并在禁用时提供低静态电流消耗
通道间的延迟匹配时间为 4ns（典型值）	避免电桥中的变压器伏秒偏移
具有更高迟滞的 TTL 优化阈值	模拟或数字 PWM 控制器的补充；更高迟滞可提供更强的抗噪性能

Copyright © 2024 Texas Instruments Incorporated

6.2 功能方框图



Copyright © 2018, Texas Instruments Incorporated

6.3 特性说明

6.3.1 输入级和互锁

两个输入独立运行，但当两个输入都为高电平或重叠时，两个输出都将被拉低。与具有单输入的栅极驱动器相比，该器件的独立性允许完全控制两个输出。该器件具有输入互锁或跨导保护功能。只要两个输入都为高电平，内部逻辑就会关闭这两个输出。一旦器件处于该模式，当其中一个输入变为低电平时，输出将遵循输入逻辑。器件中未实现其他固定时间去毛刺滤波器，因此不会牺牲传播延迟和延迟匹配。换句话说，由于互锁功能，没有内置死区时间。输入上的任何可能导致输出击穿的噪声都会被此功能过滤，并且系统将保持受保护状态。

输入与 TTL 逻辑兼容。只要信号符合该器件的导通和关断阈值规格，该器件还可在其输入端使用 CMOS 型控制信号。由于输入与电源电压无关，因此可连接到数字控制器或模拟控制器的输出。输入可接受宽转换速率信号，输入可承受负电压，以提高稳健性。驱动器输入端的小型滤波器可进一步提高易受噪声干扰应用中的系统稳健性。输入具有典型值为 68kΩ 的内部下拉电阻。因此，当输入悬空时，输出保持低电平。

Copyright © 2024 Texas Instruments Incorporated

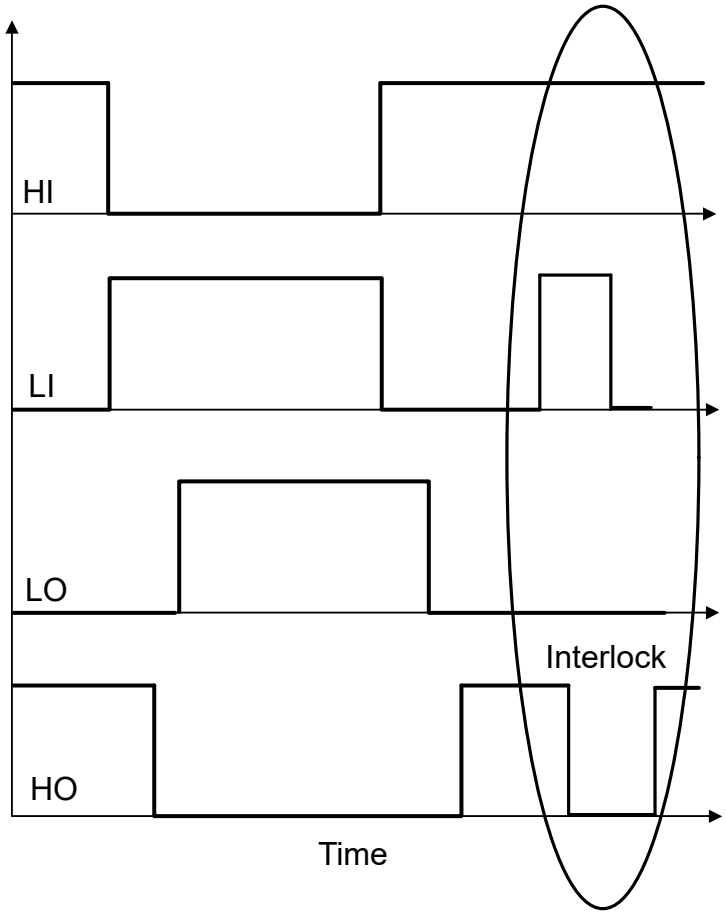


图 6-1. 互锁或输入击穿保护

6.3.2 启用

采用 DRC 封装的器件具有一个使能 (EN) 引脚。仅当 EN 引脚电压高于阈值电压时，输出才有效。如果 EN 引脚保持悬空或下拉至接地，则输出将保持低电平。内部 80kΩ 电阻器将 EN 引脚拉至 VSS。因此，将 EN 引脚保持悬空会禁用器件。从外部将 EN 引脚拉至接地也将禁用器件。如果未使用 EN 引脚，则建议将该引脚连接到 VDD 引脚。如果需要使用上拉电阻，则建议使用强上拉电阻。对于 12V 电源电压，建议使用一个 10kΩ 上拉电阻。在易受噪声影响的应用中，应在 EN 引脚和 VSS 引脚之间连接一个 1nF 至 10nF 的小型滤波电容器，并使其尽可能靠近器件。可以将模拟或数字控制器输出引脚连接到 EN 引脚，以启用或禁用器件。内置迟滞有助于防止输出出现任何干扰性跳变或抖动。

6.3.3 欠压锁定 (UVLO)

高侧和低侧驱动器级均包含 UVLO 保护电路，该电路可监控电源电压 (VDD) 和自举电容器电压 (V_{HB}-V_{HS})。在电源电压足以导通外部 MOSFET 之前，UVLO 电路会抑制所有输出。在电源电压变化期间，内置 UVLO 迟滞可防止发生抖动。向器件的 VDD 引脚施加电源电压时，两个输出都保持低电平，直到 VDD 超过 UVLO 阈值。自举电容器 (VHB – HS) 上的任何 UVLO 条件仅禁用高侧输出(HO)。

6.3.4 电平转换器

电平转换电路是从高侧输入（VSS 基准信号）到高侧驱动器级（以开关节点（HS 引脚）为基准）的接口。电平转换可控制以 HS 引脚为基准的 HO 输出。电平转换器引入的延迟非常低，因此，该器件具有出色的传播延迟特性，且延迟与低侧驱动器输出相匹配。低延迟匹配可减少功率级运行的死区时间。对于需要高效率的应用，减少死区时间意义重大。

Copyright © 2024 Texas Instruments Incorporated

6.3.5 自举二极管

UCC27301A-Q1 系列驱动器包含生成高侧偏置所需的自举二极管。二极管阳极连接到 V_{DD}，阴极连接到 V_{HB}。当 V_{HB} 电容器连接到 HB 和 HS 引脚时，V_{HB} 电容器电荷会在 HS 转换为接地时在每个开关周期刷新。自举二极管可提供快速恢复时间、低二极管电阻和额定电压裕度，从而实现高效可靠的运行。

6.3.6 输出级

在动力总成中，输出级是到功率 MOSFET 的接口。两个输出驱动器的高压摆率、低电阻和高峰值电流能力支持功率 MOSFET 高效开关。低侧输出级以 V_{DD} 至 V_{SS} 为基准，高侧输出级以 V_{HB} 至 V_{HS} 为基准。器件输出级具有上拉结构，在电源开关导通转换的米勒平台区域期间，能够在需要时提供峰值拉电流。器件的输出上拉和下拉结构为图腾柱 NMOS-PMOS 结构。

6.3.7 负电压瞬变

在大多数应用中，外部低侧功率 MOSFET 的体二极管将 HS 节点钳制到接地。某些时候，在外部低侧 MOSFET 的体二极管钳制此摆幅之前，电路板电容和电感会导致 HS 节点在接地电位以下瞬态摆动几伏。只要不违反规范并且遵循本节中提到的条件，该器件中的 HS 引脚就能摆动到接地电位以下。

确保 HB 至 HS 工作电压在建议运行条件内。因此，如果 HS 引脚瞬态电压为 -5V，则 VDD（以及 HB）在理想情况下限制为 12V，以将 HB 至 HS 电压保持在 17V 以下。通常，当 HS 摆动为负值时，HB 瞬间跟随 HS，因此 HB 至 HS 电压不会明显过冲。

HS 的电势必须始终低于 HO。将 HO 拉至规定条件以下，可能会激活寄生晶体管，从而导致 HB 电源的电流过大。这样可能损坏器件。LO 和 VSS 的关系也是如此。如有必要，可在 HO 和 HS 之间或 LO 和 VSS 之间外接肖特基二极管，保护器件免受此类瞬变影响。为充分发挥作用，二极管应尽量靠近器件引脚。

为确保栅极驱动器器件正常运行，从 HB 到 HS 以及从 VDD 到 VSS 的低 ESR 旁路电容器至关重要。为充分减小串联电感，电容器应位于器件引线处。LO 和 HO 的峰值电流可能非常大。旁路电容器的任何串联电感都会在器件引线上引发电压振铃，为确保可靠运行，必须避免这种情况发生。

根据应用电路板设计和其他运行参数，除 HS 引脚外，其他引脚（比如 HI 和 LI 输入引脚）也可能瞬时摆动到接地电位以下。为了适应这种运行条件，器件的输入引脚能够处理绝对最大值为 -10V 的电压。根据布局和其他设计限制，输出 HO 和 LO 有时也可能出现短时间瞬态电压。因此，该器件还可以在 HO 和 LO 输出引脚上以小于 100ns 的持续时间处理 -2V 瞬变。

6.4 器件功能模式

启用该器件后，该器件可在正常模式和 UVLO 模式下运行。有关 UVLO 工作模式的更多信息，请参阅节 6.3.3。在正常模式下，当 VDD 和 VHB-HS 高于 UVLO 阈值时，输出级取决于 EN、HI 和 LI 引脚的状态。如果输入状态为浮动，则输出 HO 和 LO 将为低电平。

表 6-2. 器件逻辑表

EN(1)	HI	LI	HO(2)	LO(3)
L	X	X	L	L
H	L	L	L	L
H	L	H	L	H
H	H	L	H	L
H	H	H	L	L

(1) EN 引脚仅在 DRC 封装中可用。
(2) 以 HS 为基准来测量 HO。
(3) 以 VSS 为基准来测量 LO。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

为了使功率器件能够快速开关并降低相关开关功率损耗，在控制器的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器。此外，当 PWM 控制器无法直接驱动开关器件的栅极时，必须使用栅极驱动器。数字电源出现之后，经常会遇到这种情况，因为数字控制器发出的 PWM 信号通常是 3.3V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将 3.3V 信号提高至栅极驱动电压（例如 12V），从而完全开启功率器件并尽可能减小导通损耗。基于采用图腾柱排列的 NPN/PNP 双极晶体管（作为发射极跟随器配置）的传统缓冲器驱动电路经证明不适用于数字电源，因为这些电路不具备电平转换功能。栅极驱动器能够有效结合电平转换和缓冲器驱动功能。栅极驱动器器件还可以满足其他需求，例如通过使高电流驱动器的位置靠近电源开关来更大程度地减小高频开关的影响、驱动栅极驱动变压器并控制悬空的功率器件栅极、通过将栅极电荷功率损耗从控制器移至驱动器来降低控制器中的功率耗散和热应力。

7.2 典型应用

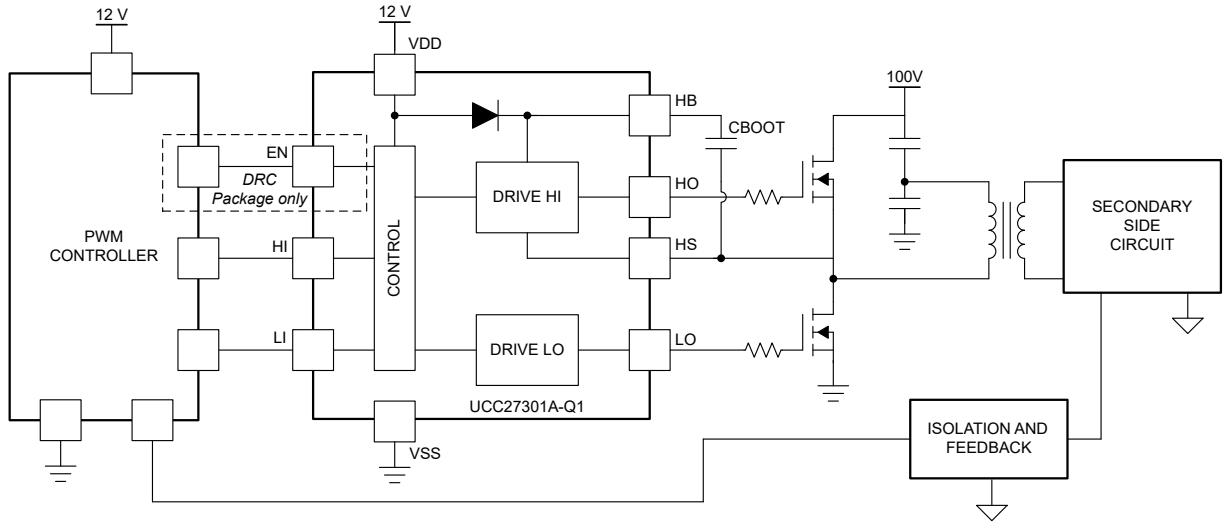


图 7-1. UCC27301A-Q1 典型应用图 1

7.2.1 设计要求

对于这个设计示例，请使用表 7-1 中列出的参数。

表 7-1. 设计规格

设计参数	示例值
电源电压，VDD	12V
HS 上的电压，VHS	0V 至 100V
HB 上的电压，VHB	12V 至 112V
输出电流额定值，IO	-4.5A 至 3.7A
运行频率	500kHz

Copyright © 2024 Texas Instruments Incorporated

7.2.2 详细设计过程

7.2.2.1 输入阈值类型

UCC27301A-Q1 器件的最大输入绝对电压范围为 -10V 至 20V。通过增强的稳健性，两个器件可以直接连接到栅极驱动变压器。该器件具有与 TTL 兼容的输入阈值逻辑，并具有宽迟滞。阈值电压电平为低电平电压且与 VDD 电源电压无关，因此可与来自微控制器的逻辑电平输入信号和来自模拟控制器的较高电压输入信号兼容。请参阅“电气特性”部分，以了解该器件的实际输入阈值电压电平和迟滞规格。

7.2.2.2 V_{DD} 偏置电源电压

施加到器件 VDD 引脚的偏置电源电压不应超过“电气特性”表中列出的值。不过，不同的电源开关要求在栅极端子上施加不同的电压电平，以实现有效导通和关断。对于某些电源开关，导通可能需要正栅极电压，关断可能需要负栅极电压，在这种情况下，VDD 偏置电源等于电压差。该器件具有 8V 至 17V 的宽工作电压范围，可用于驱动各种电源开关，例如 Si MOSFET、IGBT 和宽带隙功率半导体。

7.2.2.3 峰值拉电流和灌电流

通常，电源开关在导通和关断期间的开关速度应尽可能快，以尽可能减小开关功率损耗。栅极驱动器器件必须能够提供所需的峰值电流，以实现目标开关速度和目标功率 MOSFET。系统对开关速度的要求通常通过功率 MOSFET 漏源电压的压摆率（如 dV_{DS}/dt）来描述。例如，在连续导通模式 (CCM) 升压 PFC 转换器应用中，系统可能要求 SPP20N60C3 功率 MOSFET 必须在 400V 的直流母线电压下，以 20V/ns 或更高的 dV_{DS}/dt 导通。这种类型的应用属于电感式硬开关应用，因此降低开关功率损耗至关重要。该要求意味着在功率 MOSFET 导通事件期间（从关断状态下的 400V 到导通状态下的 $V_{DS(on)}$），整个漏源电压摆幅必须在约 20ns 或更短的时间内完成。当发生漏源电压摆幅时，功率 MOSFET 的米勒电荷（SPP20N60C3 数据表中的 Q_{GD} 参数为 33nC 典型值）由栅极驱动器的峰值电流提供。根据功率 MOSFET 电感开关机制，此时功率 MOSFET 的栅源电压为米勒平坦区域电压，通常比功率 MOSFET 的阈值电压 $V_{GS(TH)}$ 高几伏。

为了实现目标 dV_{DS}/dt，栅极驱动器必须能够在 20ns 或更短的时间内提供 Q_{GD} 电荷。换句话说，栅极驱动器必须提供 1.65A (= 33nC/20ns) 或更高的峰值电流。UCC27301A-Q1 栅极驱动器能够提供 3.7A 峰值拉电流，明显超过了设计要求，并能够满足所需的开关速度。过驱能力针对功率 MOSFET 在 Q_{GD} 参数方面的器件间差异提供了额外的裕度，同时也为插入外部栅极电阻器并对开关速度进行微调提供了额外的灵活性，以实现效率与 EMI 优化。然而，在实际设计中，PCB 的栅极驱动电路中的寄生引线电感对功率 MOSFET 开关速度具有决定性的作用。该迹线电感会限制栅极驱动器的输出电流脉冲的 dI/dt。为了说明这一点，下面以近似三角曲线的栅极驱动器输出电流脉冲波形为例说明，其中三角曲线下的面积
(½ × I_{PEAK} × time) 等于功率 MOSFET 的总栅极电荷（SPP20N60C3 功率 MOSFET 数据表中的 Q_G 参数 = 87nC 典型值）。如果寄生引线电感限制了 dI/dt，则可能会发生这样的情况：在提供开关功率 MOSFET 的 Q_G 所需的时间内无法完全实现栅极驱动器的完整峰值电流能力。换言之，上述公式中的 time 参数将占主导地位，并且电流脉冲的 I_{PEAK} 值远低于器件真正的峰值电流能力，同时仍能提供所需的 Q_G。因此，可能无法实现所需的开关速度，即使理论计算表明栅极驱动器能够实现此目标开关速度。因此，将栅极驱动器器件放置在非常靠近功率 MOSFET 的位置并设计具有最小 PCB 迹线电感的紧凑栅极驱动环路对于实现栅极驱动器的完整峰值电流功能而言非常重要。

7.2.2.4 传播延迟

栅极驱动器可接受的传播延迟取决于使用的开关频率以及系统可接受的脉冲失真水平。UCC27301A-Q1 器件具有 20ns（典型值）的传播延迟，确保了脉冲失真非常小并且能够在非常高的频率下运行。有关该器件的传播和开关特性，请参阅“开关特性”表。

7.2.2.5 功率耗散

栅极驱动器的功率耗散具有两个部分，如方程式 1 中所示。

$$P_{DISS} = P_{DC} + P_{SW} \quad (1)$$

使用方程式 2 计算功率耗散的直流部分 (PDC)。

Copyright © 2024 Texas Instruments Incorporated

$$PDC = I_Q \times V_{DD} \quad (2)$$

其中

- I_Q 是驱动器的静态电流。

静态电流是器件消耗的用于对所有内部电路（如输入级、基准电压、逻辑电路、保护）进行偏置的电流，以及当驱动器输出更改状态（如对寄生电容进行充电和放电、寄生击穿等）时任何与内部器件开关相关联的电流。UCC27301A-Q1 的静态电流极低，并包含可消除输出驱动器级中任何击穿的内部逻辑。因此，可以稳妥地假定 PDC 对栅极驱动器内总功率耗散的影响是微不足道的。在开关期间栅极驱动器封装中耗散的功率 (PSW) 取决于以下因素：

- 功率器件所需的栅极电荷（通常是驱动电压 VG 的函数，非常接近于输入偏置电源电压 VDD）
- 开关频率
- 外部栅极电阻器的使用情况。使用分立式容性负载对驱动器器件进行测试时，计算辅助电源所需的功率非常简单。方程式 3 给出了为了对电容器进行充电，辅助电源必须传递的能量。

$$EG = ½C_{LOAD} \times V_{DD}^{\ 2} \quad (3)$$

  - 其中
  - C_{LOAD} 是负载电容器
  - V_{DD} 是为驱动器供电的偏置电压。

对电容器进行充电和放电时，存在等量的能量耗散。这会导致由方程式 4 给出的总功率损耗。

$$PG = C_{LOAD} \times V_{DD}^{\ 2} \times f_{SW} \quad (4)$$

其中

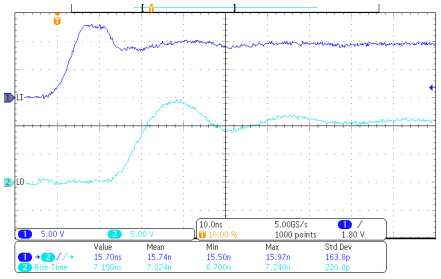
- f_{SW} 是开关频率

可以通过检查对器件进行开关所需的栅极电荷，将功率 MOSFET/IGBT 表示的开关负载转换为等效电容。该栅极电荷包括输入电容的效果，以及当功率器件在导通和关断状态之间切换时使其漏极电压摆动所需的附加电荷。大多数制造商都提供用于在指定的条件下对器件进行开关的栅极电荷典型值和最大值规格（以 nC 为单位）。使用栅极电荷 Qg 可确定开关电容器时必须耗散的功率，利用公式 $Q_G = C_{LOAD} \times V_{DD}$ 计算后通过方程式 5 得出功率。

$$P_G = C_{LOAD} \times V_{DD}^{\ 2} \times f_{SW} = Q_G \times V_{DD} \times f_{SW} \quad (5)$$

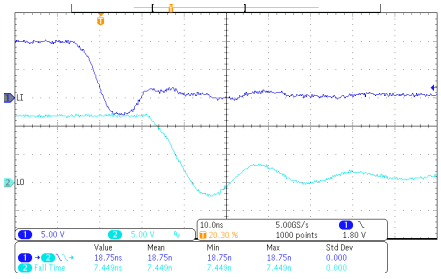
该功率 P_G 是 MOSFET/IGBT 导通和关断时电路的电阻元件中的耗散。在开通过程中对负载电容器进行充电时会耗散总功率的一半，在关闭期间对负载电容器进行放电时耗散另一半。如果在驱动器与 MOSFET/IGBT 之间没有采用外部栅极电阻器，该功率将完全耗散在驱动器封装中。在使用外部栅极驱动电阻器的情况下，功率耗散会在驱动器的内部电阻和外部栅极电阻器之间分摊。

7.2.3 应用曲线



C_L = 1nF　　V_{DD} = 12V

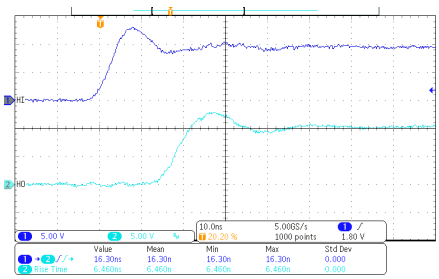
图 7-2. LO 上升时间和 LI 至 LO 导通传播延迟



C_L = 1nF　　V_{DD} = 12V

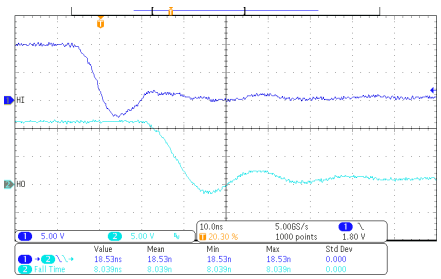
图 7-3. LO 下降时间和 LI 至 LO 关断传播延迟

Copyright © 2024 Texas Instruments Incorporated



C_L = 1nF V_{DD} = 12V

图 7-4. HO 上升时间和 HI 至 HO 导通传播延迟



C_L = 1nF V_{DD} = 12V

图 7-5. HO 下降时间和 HI 至 HO 关断传播延迟

Copyright © 2024 Texas Instruments Incorporated

8 电源相关建议

器件的额定工作偏置电源电压范围为 8V 至 17V。此范围的下限值由 V_{DD} 引脚电源电路块上的内部欠压锁定 (UVLO) 保护特性决定。只要驱动器处于 UVLO 状态，当 V_{DD} 引脚电压低于 $V_{(ON)}$ 电源启动阈值时，该特性就会将输出保持在低电平，无论输入的状态如何都是如此。该范围的上限值由器件 V_{DD} 引脚的 20V 绝对最大电压额定值（此为应力额定值）决定。在保持 3V 裕度以允许瞬态电压尖峰的情况下，V_{DD} 引脚的最大建议电压为 17V。UVLO 保护功能还涉及迟滞功能，这意味着，当 V_{DD} 引脚偏置电压超过了阈值电压并且器件开始运行时，如果电压下降，则器件会继续提供正常的功能，除非压降超过迟滞规格 $V_{DD(hys)}$。因此，为了避免触发器件关断，必须确保在 8V 或接近此范围内运行时，辅助电源输出上的电压纹波小于器件的迟滞规格。在系统关断期间，器件会继续运行，直到 V_{DD} 引脚电压降至 $V_{(OFF)}$ 阈值以下，在评估系统关断时序设计要求时，必须考虑该情况。类似地，在系统启动时，直到 V_{DD} 引脚电压超出 $V_{(ON)}$ 阈值后，器件才开始运行。

器件内部电路块消耗的静态电流由 V_{DD} 引脚提供。尽管这一事实众所周知，但重要的是要认识到 LO 引脚提供的拉电流脉冲电荷也通过同一 V_{DD} 引脚提供。因此，每次从 LO 引脚拉取电流时，均会通过 V_{DD} 引脚向器件提供相应的电流脉冲。因此，必须确保在 V_{DD} 和 GND 引脚之间提供一个本地旁路电容器，并且该电容器必须尽可能靠近器件，以便实现去耦。需要使用低 ESR 的陶瓷表面贴装电容器。TI 建议在 V_{DD} 和 GND 之间使用一个 0.22μF 至 4.7μF 范围内的电容器。与此类似，HO 引脚提供的电流脉冲来自 HB 引脚。因此，建议在 HB 和 HS 引脚之间使用 0.022μF 至 0.1μF 的本地去耦电容器。

9 布局

9.1 布局指南

为了改进设计的开关特性和效率，必须遵循以下布局规则。

- 将驱动器尽可能靠近 MOSFET 放置。
- 将 V_{DD}-V_{SS} 和 V_{HB}-V_{HS}（自举）电容器尽可能靠近器件放置。
- 密切注意 GND 布线。通过将 DRM 封装的散热焊盘连接到 VSS 引脚 (GND)，将其用作 GND。驱动器的 GND 布线直接连接到 MOSFET 的源极，但不得位于 MOSFET 漏极或源极电流的高电流路径中。
- 对 HS 节点使用与高侧驱动器的 GND 类似的规则。
- 对于使用多个 UCC27301A-Q1 器件的系统，TI 建议将专用去耦电容器放置在每个器件的 V_{DD}-V_{SS} 处。
- 必须注意避免将 VDD 布线放置在靠近 LO、HS 和 HO 信号的地方。
- 密切按照 GND 或 HS 布线，对 LO 和 HO 使用宽布线。在可能的情况下，最好使用 60mil 至 100mil 的宽度。
- 如果驱动器输出或 SW 节点必须从一层布线到另一层，请使用至少两个或两个以上过孔。对于 GND，过孔的数量必须考虑散热焊盘要求以及寄生电感。
- 避免 LI 和 HI（驱动器输入）靠近 HS 节点或任何其他高 dV/dT 布线，因为这些布线会在阻抗相对较高的引线中引入显著的噪声。

布局不佳会导致效率显著降低或系统故障，甚至会导致整个系统的可靠性降低。

Copyright © 2024 Texas Instruments Incorporated

9.2 布局示例

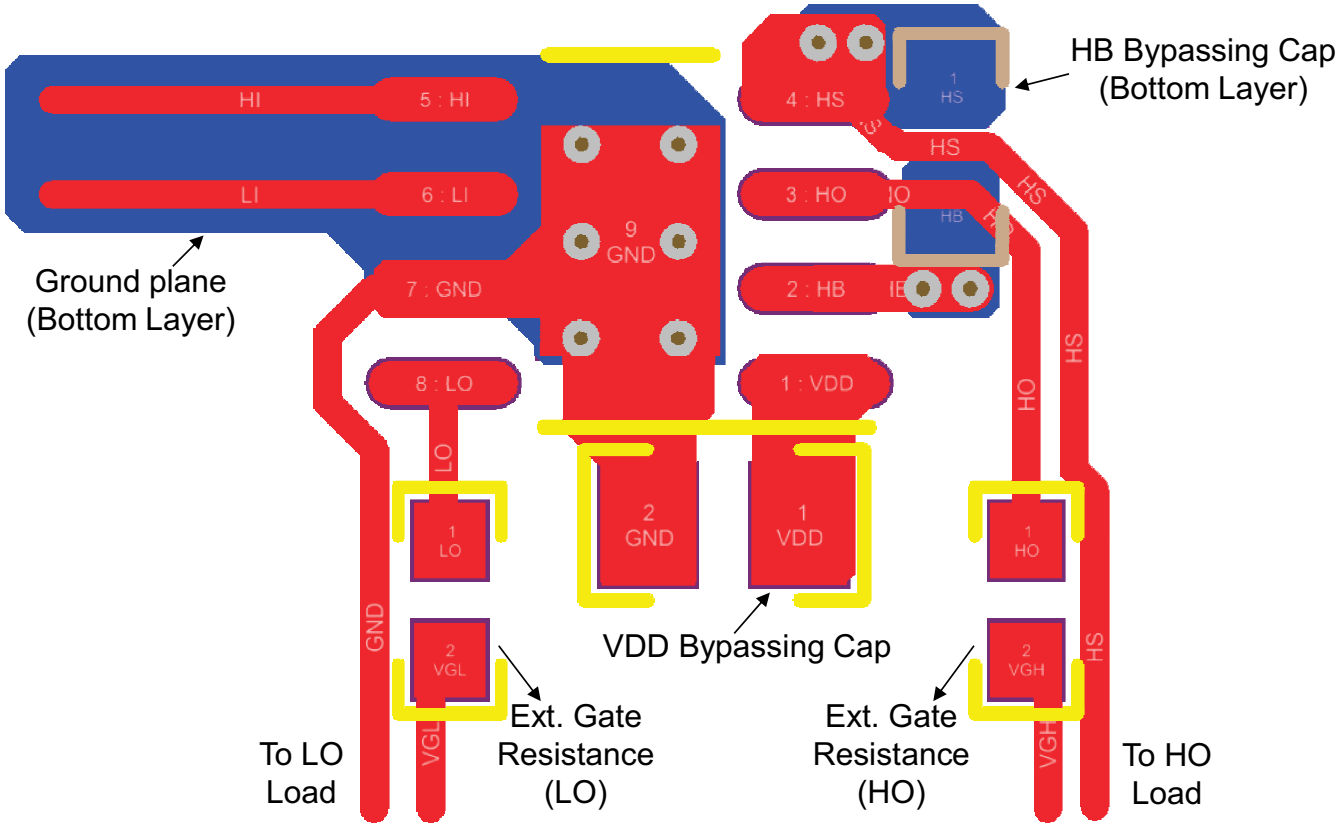


图 9-1. SOIC 封装的 UCC27301A-Q1 PCB 布局示例

Copyright © 2024 Texas Instruments Incorporated

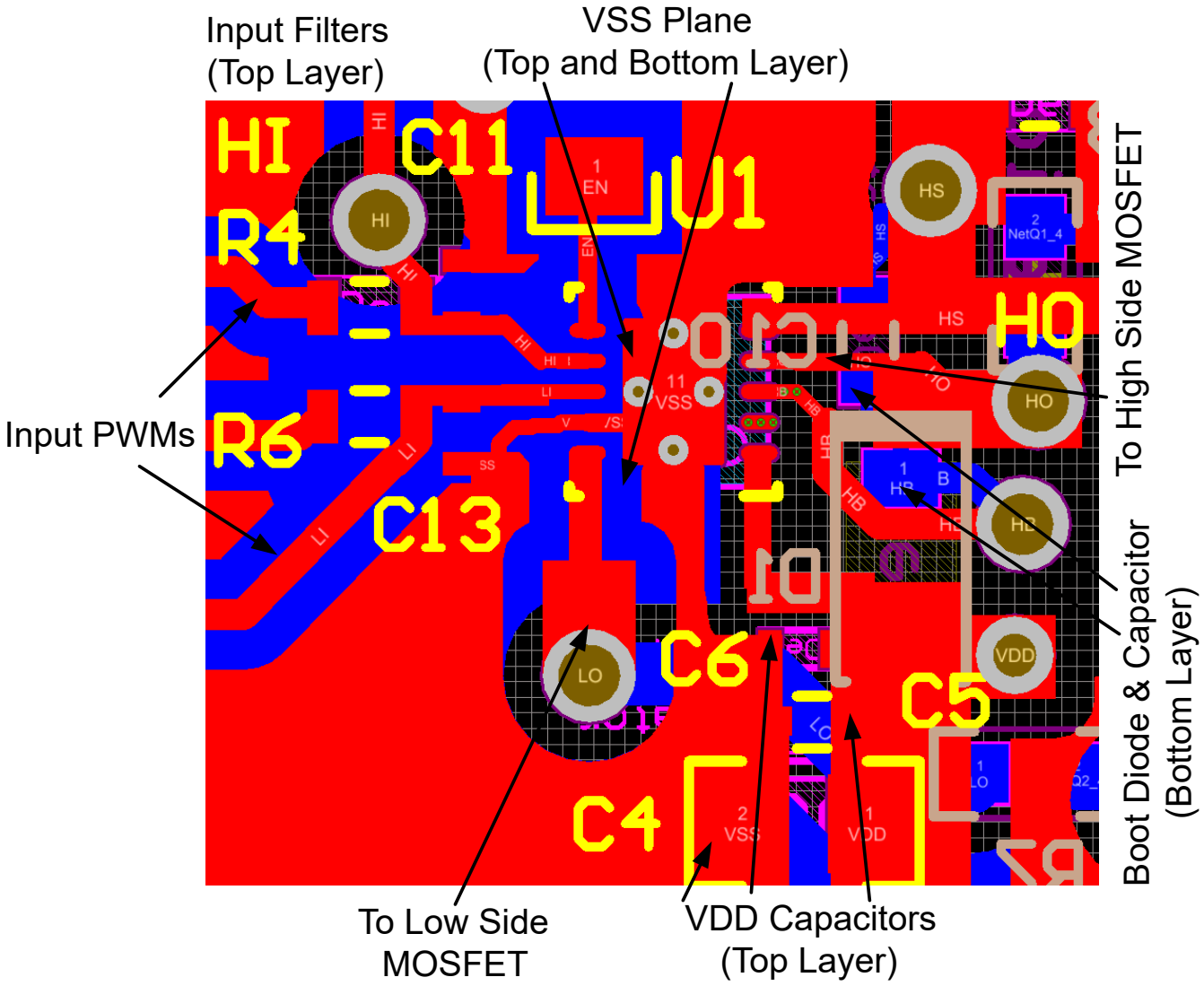


图 9-2. VSON 封装的 UCC27301A-Q1 PCB 布局示例

9.3 散热注意事项

负载的驱动功率要求以及封装的散热特性会极大地影响驱动器的有用范围。为了使栅极驱动器在特定的温度范围内有用，封装必须允许有效地散发产生的热量，同时使结温保持在额定限值以内。“热性能信息”部分中列出了驱动器封装的热指标。有关此表的详细信息，请参阅德州仪器 (TI) 应用手册*半导体和 IC 封装热指标* (SPRA953)。UCC27301A-Q1 器件采用 10 引脚 VSON 封装 (DRC)。

10 器件和文档支持

10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 文档支持

10.2.1 相关文档

PowerPAD™ 耐热增强型封装 应用报告 (SLMA002)

PowerPAD™ 速成 应用报告 (SLMA004)

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

PowerPAD™ is a trademark of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (August 2023) to Revision C (July 2024)	Page
• 将 DDA 封装从“预告信息”更改为“量产数据”	1
• 对措辞进行了重大更新并修正了一些典型值。	1

Changes from Revision A (May 2023) to Revision B (August 2023)	Page
• 修订版与 UCC27301A 和 UCC27311A 产品兼容	1

Copyright © 2024 Texas Instruments Incorporated

- 将“私有”更改为“公开发布” 1

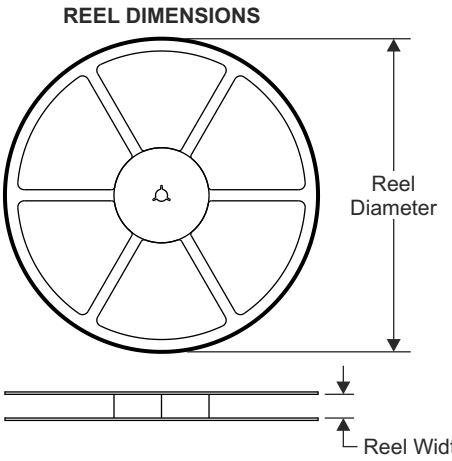
Changes from Revision * (April 2023) to Revision A (May 2023) **Page**

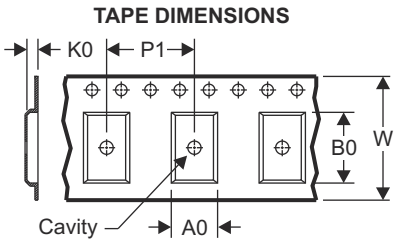
- 将 DRC 封装从“产品预发布”更改为“预告信息” 1

12 机械、封装和可订购信息

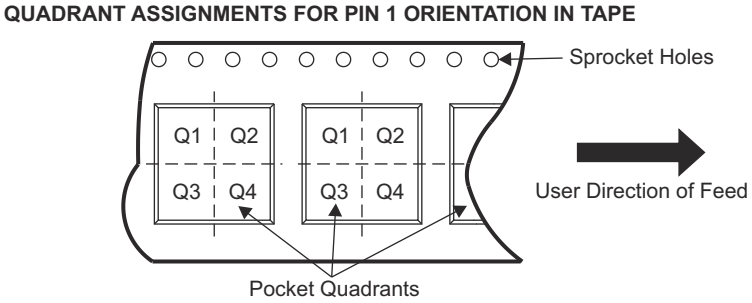
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 卷带包装信息





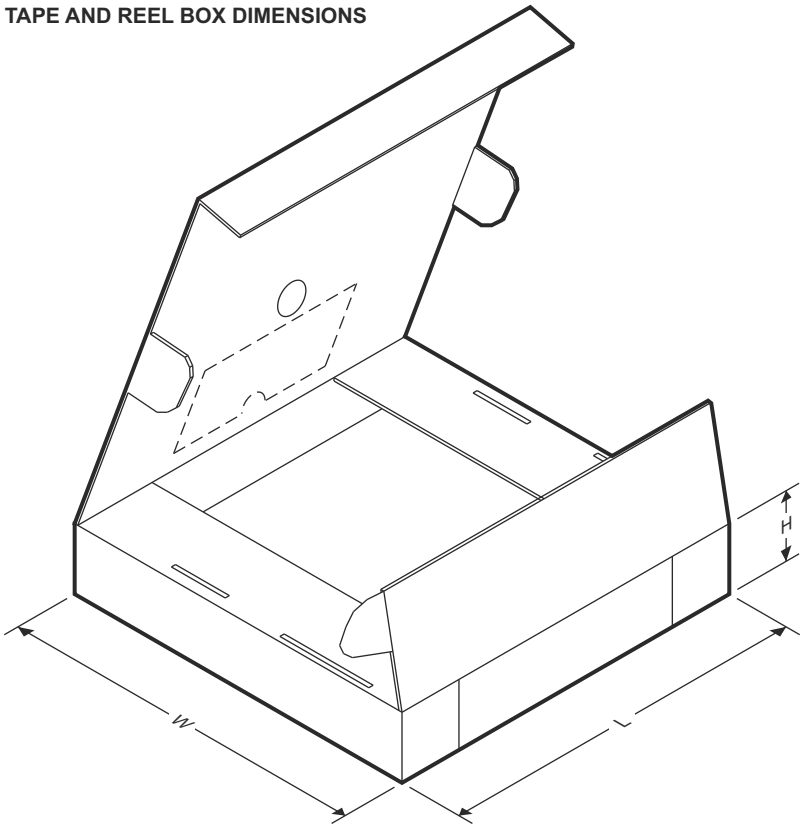
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
PUCC27301AQDDARQ1	SO	DDA	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
PUCC27301AQDRCRQ1	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27301AQDDARQ1	SO	DDA	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
UCC27301AQDRCRQ1	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

Copyright © 2024 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PUCC27301AQDDARQ1	SO	DDA	8	3000	340.5	336.1	25
PUCC27301AQDRCRQ1	VSON	DRC	10	3000	367.0	367.0	35
UCC27301AQDDARQ1	SO	DDA	8	3000	340.5	336.1	25
UCC27301AQDRCRQ1	VSON	DRC	10	3000	367.0	367.0	35

Copyright © 2024 Texas Instruments Incorporated

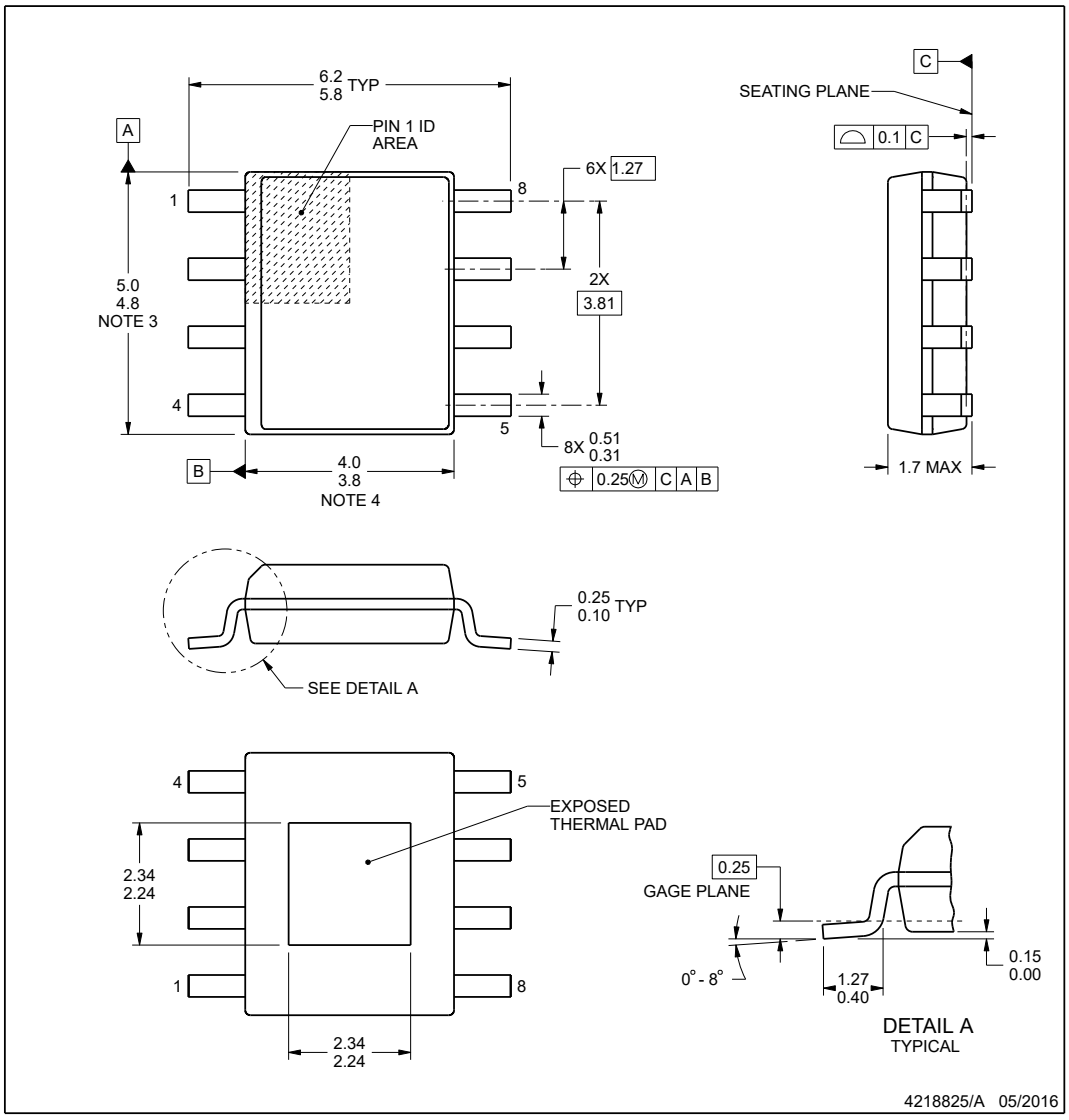
12.2 机械数据



PACKAGE OUTLINE

DDA0008A — **PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

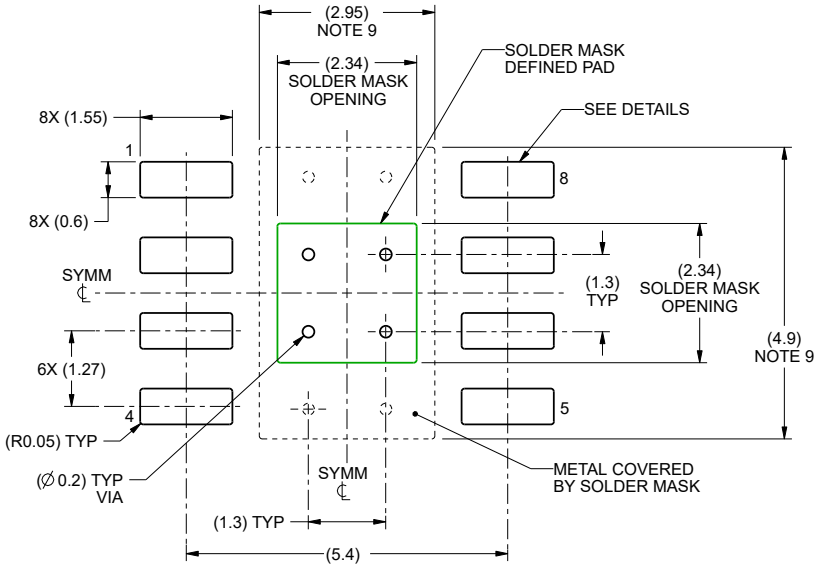
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

Copyright © 2024 Texas Instruments Incorporated

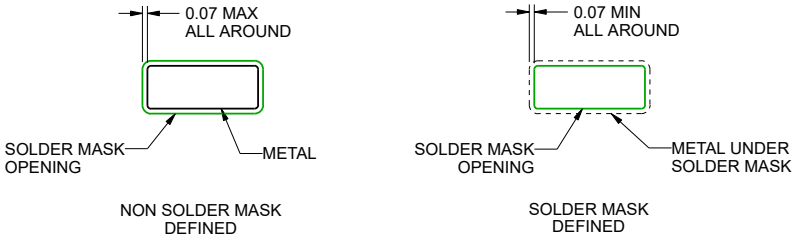
EXAMPLE BOARD LAYOUT

DDA0008A — **PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS

4218825/A 05/2016

NOTES: (continued)

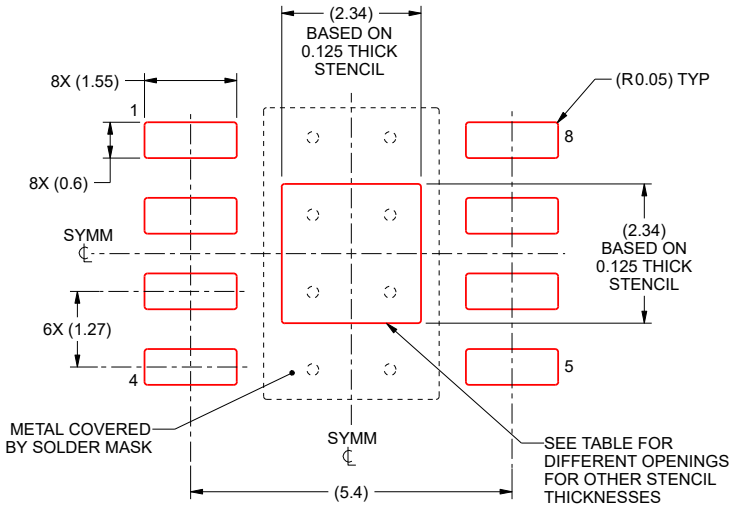
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDA0008A **PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.62 X 2.62
0.125	2.34 X 2.34 (SHOWN)
0.150	2.14 X 2.14
0.175	1.98 X 1.98

4218825/A 05/2016

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

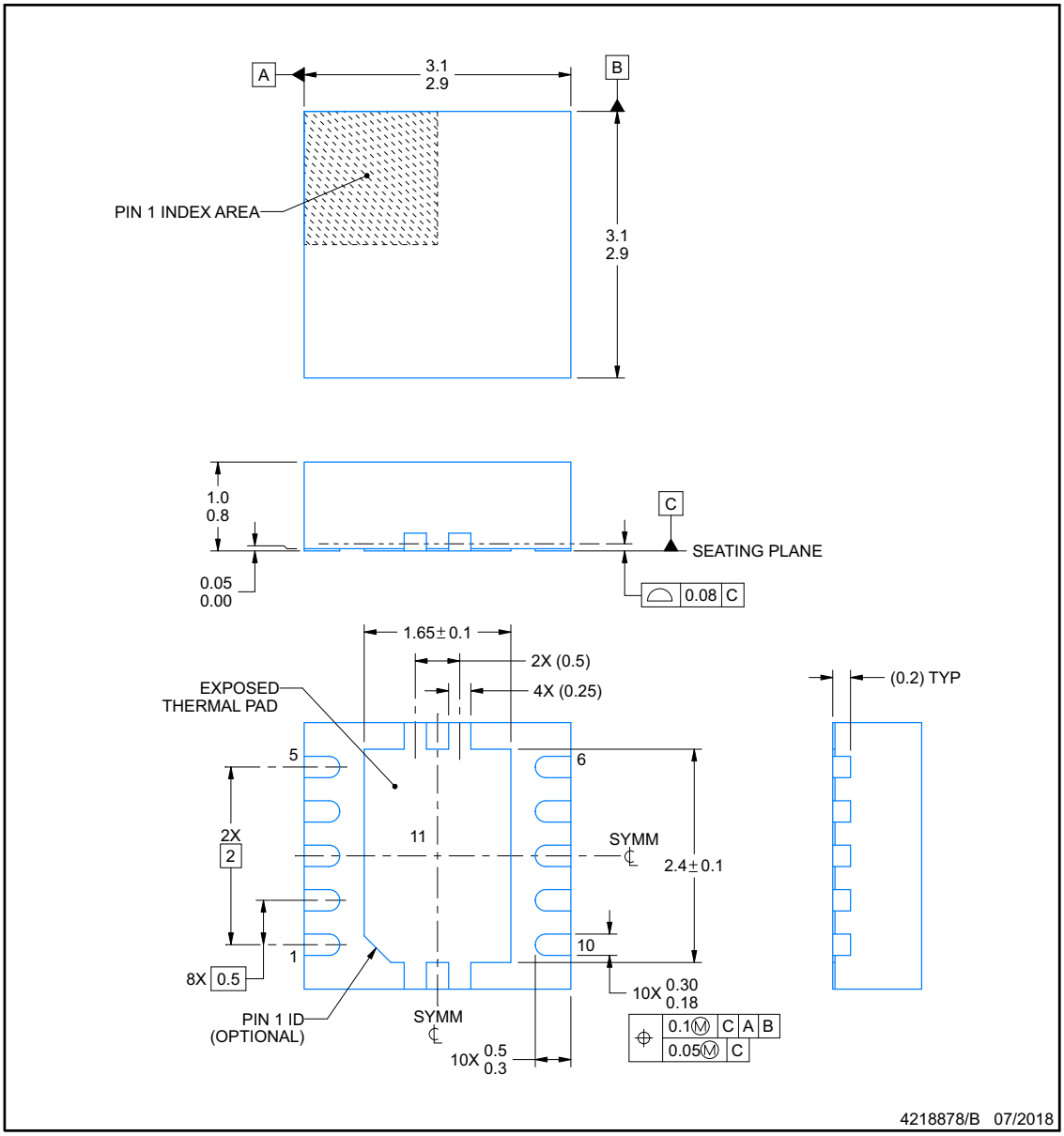
Copyright © 2024 Texas Instruments Incorporated

PACKAGE OUTLINE

DRC0010J

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

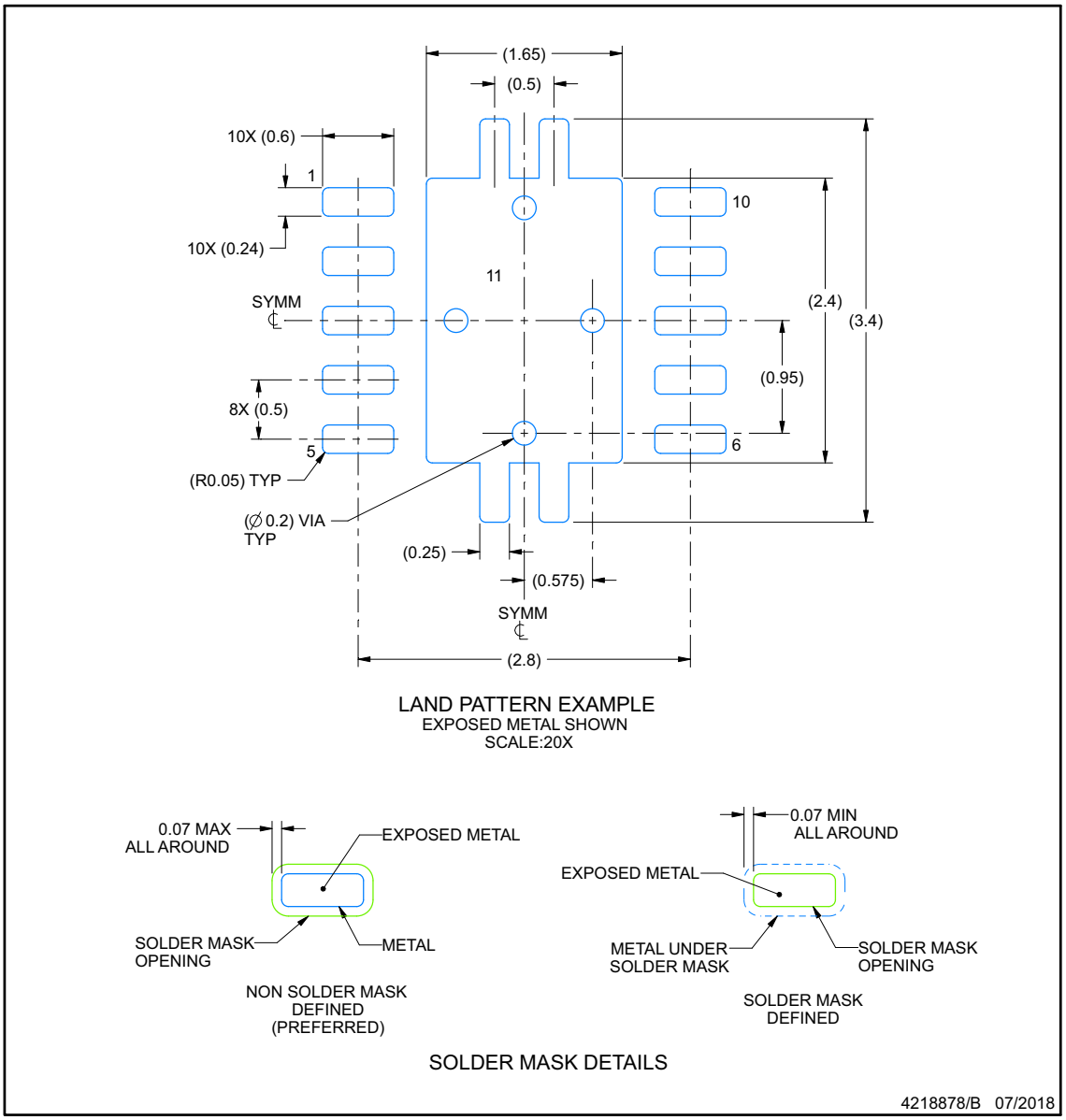
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DRC0010J

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

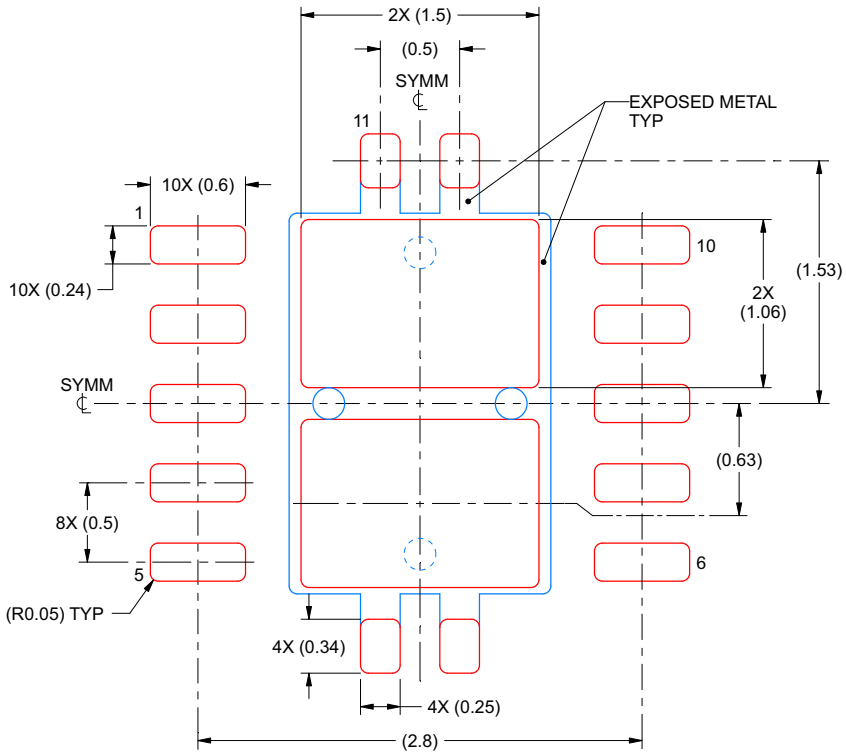
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DRC0010J

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218878/B 07/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27301AQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	U27301Q
UCC27301AQDDARQ1.B	Active	Production	SO PowerPAD (DDA) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	U27301Q
UCC27301AQDRCRQ1	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27301Q
UCC27301AQDRCRQ1.B	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27301Q
UCC27301AQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	27301Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC27301A-Q1 :

- Catalog : UCC27301A

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月