TPS732-Q1 具有反向电流保护功能的汽车级无电容、NMOS、250mA 低压降稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 0：–40°C 至 150°C，T_A
  - 器件 HBM 分类等级 2
  - 器件 CDM 分类等级 C4B
  - 器件 MM 分类等级 M2
- 不借助输出电容器或者任何电容值或类型的电容器即可实现稳定
- 输入电压范围：1.7V 至 5.5V
- 超低压降电压：250mA 时典型值为 40mV
- 无论是否使用可选输出电容器，均可实现出色的负载瞬态响应
- NMOS 拓扑可提供低反向漏电流
- 低噪声：30 μ V_{RMS} 典型值（10kHz 至 100kHz）
- 初始精度：0.5%
- 总体精度（包括线路、负载和温度精度）为 1%
- 关断模式下 I_Q 最大值小于 1 μ A
- 热关断和指定最小和最大电流限制保护
- 提供了多个输出电压版本：
  - 1.2V、1.5V、1.6V、1.8V、2.5V、3V、3.3V 和 5V 的固定输出电压
  - 1.2V 至 5.5V 可调节输出
  - 可提供定制输出

2 应用

- 便携式和电池供电类设备
- 适用于开关电源的后置稳压
- 噪声敏感电路（如 VCO）
- 适用于 DSP、FPGA、ASIC 和微处理器的负载点调节

3 说明

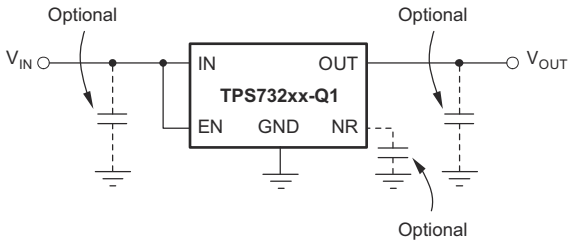
TPS732-Q1 低压降 (LDO) 稳压器采用 NMOS 拓扑，其中在电压跟随器配置包含一个 NMOS 导通瞬态。这个拓扑结构在使用具有低等效串联电阻 (ESR) 的输出电容器时保持稳定，甚至可实现无电容器运行。该拓扑还提供高反向阻断（低反向电流）和接地引脚电流，该电流在所有输出电流上几乎保持恒定。

TPS732-Q1 使用一个先进的双极互补金属氧化物半导体 (BiCMOS) 工艺来在传送低压降电压和低接地引脚电流的同时产生高精度。未启用时，电流消耗低于 1 μ A，非常适合于便携式应用。极低的输出噪声（0.1μF C_{NR} 时为 30 μ V_{RMS}）使得此器件非常适合为 VCO 供电。该器件受到热关断和折返电流限制的保护。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS732-Q1	DBV（SOT-23，5）	2.9mm × 2.8mm
	DCQ（SOT-223，6）	6.5mm × 7.06mm
	DRB（VSON，8）	3mm × 3mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



针对固定电压版本的典型应用电路

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 热性能信息 5
5.6 电气特性 6
5.7 开关特性 6
5.8 典型特性 7
6 详细说明 16
6.1 概述 16
6.2 功能方框图 16
6.3 特性说明 16
6.4 器件功能模式 18
7 应用和实施 19
7.1 应用信息 19
7.2 典型应用 19
7.3 电源相关建议 22
7.4 布局 22
8 器件和文档支持 26
8.1 器件支持 26
8.2 文档支持 26
8.3 接收文档更新通知 26
8.4 支持资源 26
8.5 商标 26
8.6 静电放电警告 26
8.7 术语表 26
9 修订历史记录 27
10 机械、封装和可订购信息 27

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

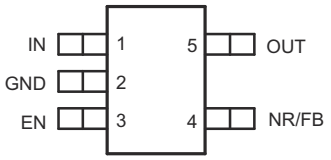


图 4-1. DBV 封装 5 引脚 SOT-23 顶视图

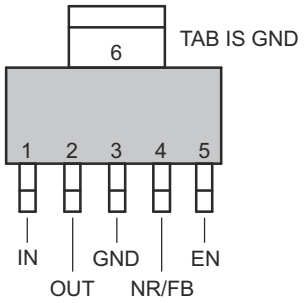
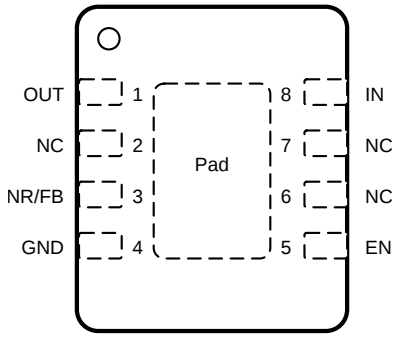


图 4-2. DCQ 封装、 6 引脚 SOT-223 （顶视图）



NC：无内部连接

图 4-3. DRB 封装 8 引脚 VSON（带有外露散热焊盘） 俯视图

表 4-1. 引脚功能

引脚				类型(1)	说明
名称	编号				
	SOT-23	SOT-223	VSON		
EN	3	5	5	I	驱动使能引脚 (EN) 为高电平打开稳压器。将这个引脚驱动为低电平来将稳压器置于关断模式。有关更多详细信息，请参阅*关断*部分。如未使用，EN 可被连接至 IN。
FB(2)	4	4	3	I	到控制环路误差放大器的输入，并用于设定器件的输出电压。
GND	2	3、6	4	—	接地
IN	1	1	8	I	未稳压的输入电源
NR(3)	4	4	3	—	将一个外部电容器连接到该引脚可以旁路由内部带隙生成的噪声。此旁路可以将输出噪声降低到较低水平。
OUT	5	2	1	O	稳压器的输出。无需外部电容器实现此稳定性。
Pad	—	—	Pad	—	接地
NC	—	—	2、6、7	—	无内部连接

(1) I = 输入；O = 输出。
(2) 仅限可调电压版本。
(3) 仅限固定电压版本。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	输入，V_{IN}	-0.3	6	V
	使能，V_{EN}	-0.3	6	
	输出，V_{OUT}	-0.3	5.5	
	V_{NR}、V_{FB}	-0.3	6	
电流	最大输出，I_{OUT}	受内部限制		
输出短路持续时间		未确定		
持续总功率耗散	P_{DISS}	请参阅*热性能信息*		
温度	工作结温，T_J	-55	150	°C
	贮存温度，T_{stg}	-65	150	

(1) 在*绝对最大额定值*范围外运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±4000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1000	
		机器模型 (MM)（仅限传统器件）	±200	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	1.7		5.5	V
I_{OUT}	输出电流	0		250	mA
T_J	工作结温	-40		125	°C

5.4 热性能信息

热指标(1)		TPS732-Q1 新器件			单位
		DRB (VSON)	DCQ (SOT-223)	DBV (SOT-23)	
		8 引脚	6 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	49.4	76	185.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	76.6	46.6	82.9	°C/W
$R_{\theta JB}$	结至电路板热阻	22.0	18.1	53.1	°C/W
ψ_{JT}	结至顶部特征参数	3.8	8.6	21.1	°C/W
ψ_{JB}	结至电路板特征参数	22.0	17.6	52.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.8	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.5 热性能信息

热指标(1)		TPS732-Q1 传统器件		单位
		DBV (SOT-23)	DRB (VSON)	
		5 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	180	47.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	64	83	°C/W
$R_{\theta JB}$	结至电路板热阻	35	–	°C/W
ψ_{JT}	结至顶部特征参数	–	2.1	°C/W
ψ_{JB}	结至电路板特征参数	–	17.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	12.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性

在工作温度范围（T_J = –40°C 至 125°C）、V_{IN} = $V_{OUT(nom)}$ + 0.5V(1) 、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µ F 条件下（除非另有说明）。典型值为 T_J = 25°C 条件下的值。

参数		测试条件		最小值	典型值	最大值	单位
V_{FB}	内部基准 (TPS73201-Q1)	T_J = 25°C		1.198	1.204	1.210	V
V_{OUT}	输出电压范围 (TPS73201-Q1) (2)			V_{FB}		5.5 - V_{DO}	V
	准确度(1)	标称值	T_J = 25°C	-0.5		0.5	%
		V_{IN}、I_{OUT} 和 T	V_{OUT} + 0.5V ≤ V_{IN} ≤ 5.5V；10mA ≤ I_{OUT} ≤ 250mA	-1	±0.5	1	
$\Delta V_{OUT(\Delta VIN)}$	线性调整率	($V_{OUT(nom)}$ + 0.5V) ≤ V_{IN} ≤ 5.5V			0.06		%/V
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率	1mA ≤ I_{OUT} ≤ 250mA			0.002		%/mA
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率	10mA ≤ I_{OUT} ≤ 250mA			0.0008		%/mA
V_{DO}	压降电压(3) (V_{IN} = $V_{OUT(NOM)}$ - 0.1V)	I_{OUT} = 250mA			40	150	mV
$Z_{O(DO)}$	压降中的输出阻抗	1.7V ≤ V_{IN} ≤ V_{OUT} + V_{DO}			0.25		Ω
I_{CL}	输出电流限制	V_{OUT} = 0.9 × $V_{OUT(nom)}$		250	425	600	mA
I_{SC}	短路电流	V_{OUT} = 0V			300		mA
I_{REV}	反向漏电流(4) (-I_{IN})	V_{EN} ≤ 0.5V，0V ≤ V_{IN} ≤ V_{OUT}			0.1	10	µA
I_{GND}	接地引脚电流	I_{OUT} = 10mA (I_Q)，传统器件			400	550	µA
		I_{OUT} = 10mA (I_Q)，新器件			400	630	
I_{GND}	接地引脚电流	I_{OUT} = 250mA			650	950	µA
I_{SHDN}	关断电流 (I_{GND})	V_{EN} ≤ 0.5V，V_{OUT} ≤ V_{IN} ≤ 5.5V			0.02	1	µA
I_{FB}	反馈引脚电流 (TPS73201)				0.1	0.45	µA
PSRR	电源抑制比（纹波抑制）	f = 100Hz，I_{OUT} = 250mA			58		dB
		f = 10kHz，I_{OUT} = 250mA			37		
V_N	输出噪声电压，BW = 10Hz 至 100kHz	C_{OUT} = 10µF，无 C_{NR}			27 × V_{OUT}		μV_{RMS}
		C_{OUT} = 10µF，C_{NR} =0.01µF			8.5 × V_{OUT}		
$V_{EN(high)}$	EN 引脚高电平（已使能）			1.7		V_{IN}	V
$V_{EN(low)}$	EN 引脚低电平（关断）			0		0.5	V
$I_{EN(high)}$	使能引脚电流（已使能）	V_{EN} = 5.5V			0.02	0.1	µA
T_{SD}	热关断温度	关断，温度升高			160		°C
		复位，温度降低			140		

(1) 最小 V_{IN} = V_{OUT} + V_{DO} 或者 1.7V，以较大者为准。
(2) TPS73201-Q1 在 V_{OUT} = 2.5V 条件下进行测试。
(3) 针对输出版本，不在 $V_{OUT(nom)}$ < 1.8V 时测量 V_{DO}，这是因为最小 V_{IN} = 1.7V。
(4) 只适用于固定电压版本；更多信息请参考*应用信息*部分。

5.7 开关特性

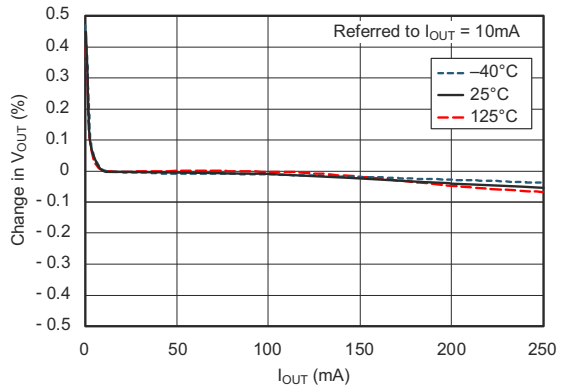
在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{STR}	启动时间	V_{OUT} = 3V，R_L = 30Ω，C_{OUT} = 1µF，C_{NR} = 0.01µF		600		µs

Copyright © 2025 Texas Instruments Incorporated

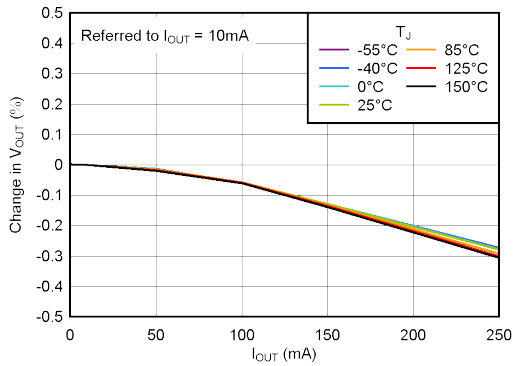
5.8 典型特性

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µF 条件下（除非另有说明）



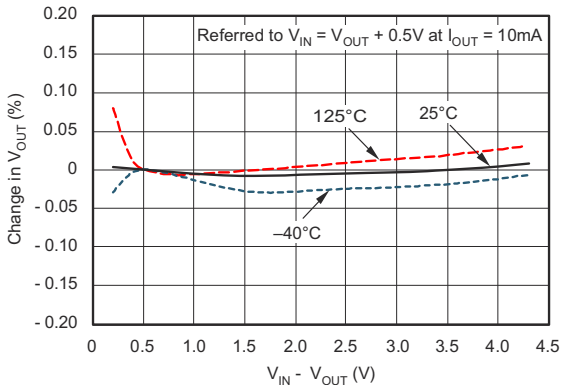
传统器件

图 5-1. 负载调整率



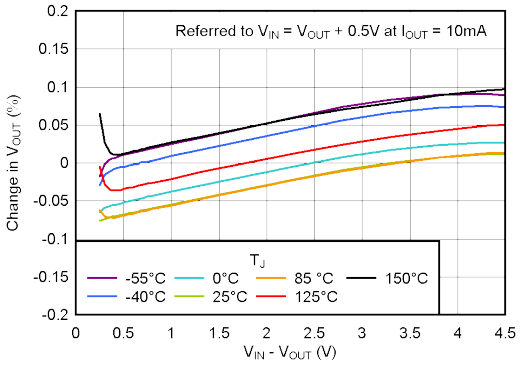
新器件

图 5-2. 负载调整率



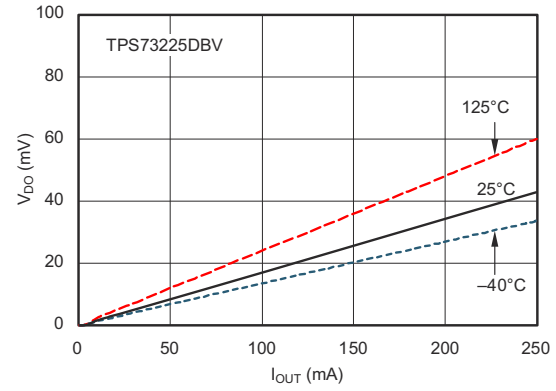
传统器件

图 5-3. 线路调整



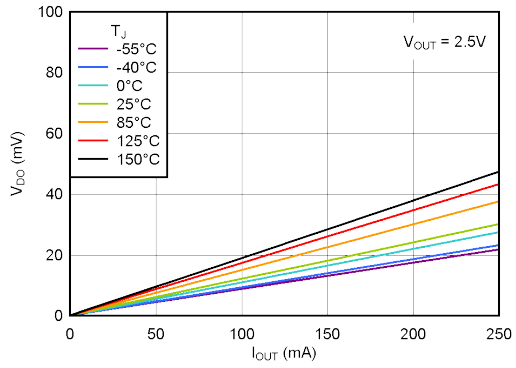
新器件

图 5-4. 线路调整



传统器件

图 5-5. 压降电压与输出电流间的关系



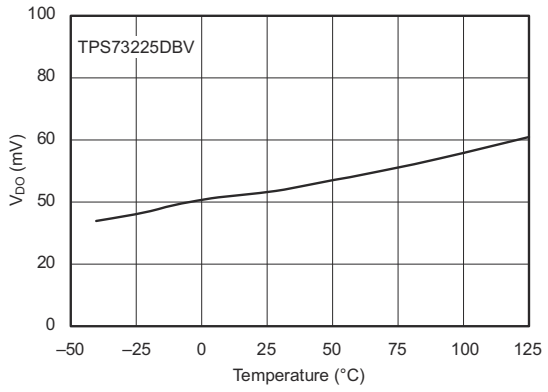
新器件

图 5-6. 压降电压与输出电流间的关系

Copyright © 2025 Texas Instruments Incorporated

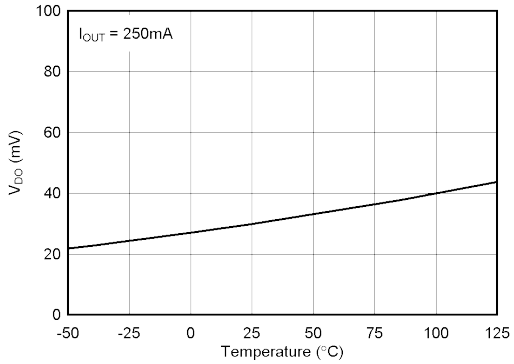
5.8 典型特性（续）

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µF 条件下（除非另有说明）



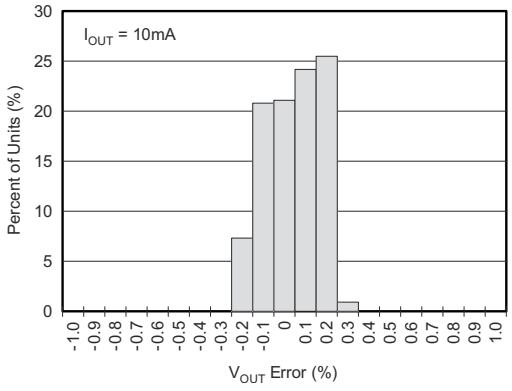
传统器件

图 5-7. 压降电压与温度间的关系



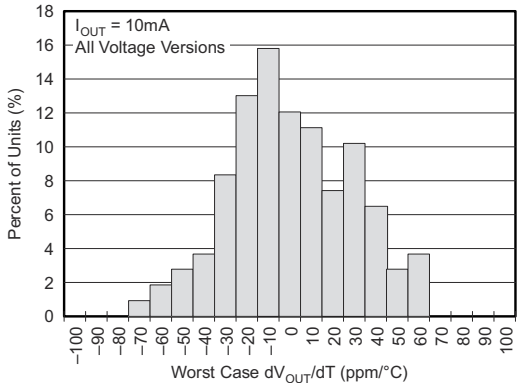
新器件

图 5-8. 压降电压与温度间的关系



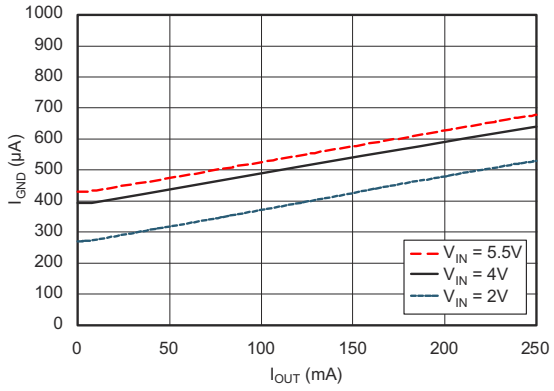
传统器件

图 5-9. 输出电压精度柱状图



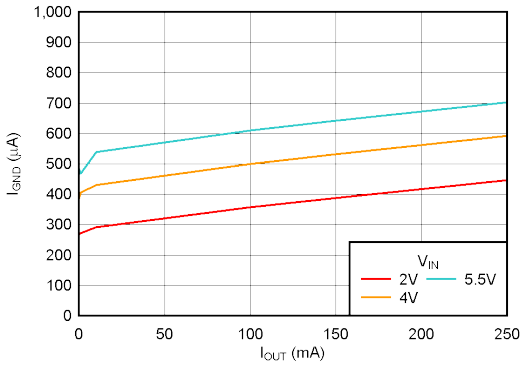
传统器件

图 5-10. 输出电压漂移柱状图



传统器件

图 5-11. 接地引脚电流与输出电流间的关系



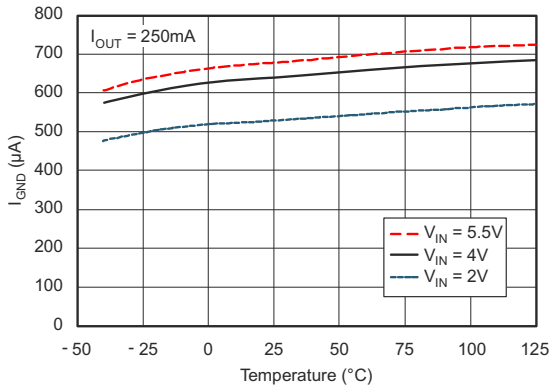
新器件

图 5-12. 接地引脚电流与输出电流间的关系

Copyright © 2025 Texas Instruments Incorporated

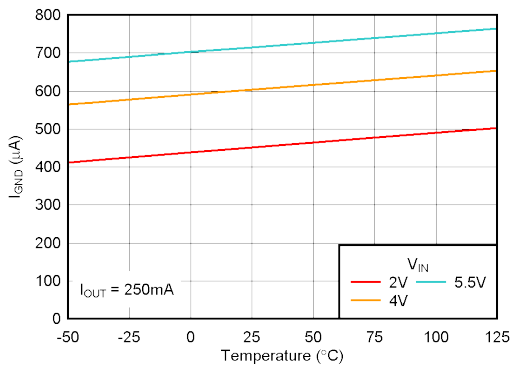
5.8 典型特性（续）

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µF 条件下（除非另有说明）



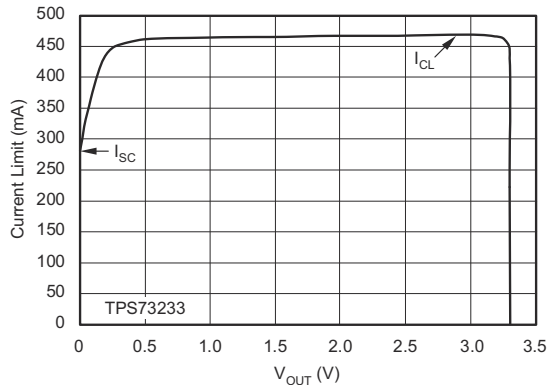
传统器件

图 5-13. 接地引脚电流与温度间的关系



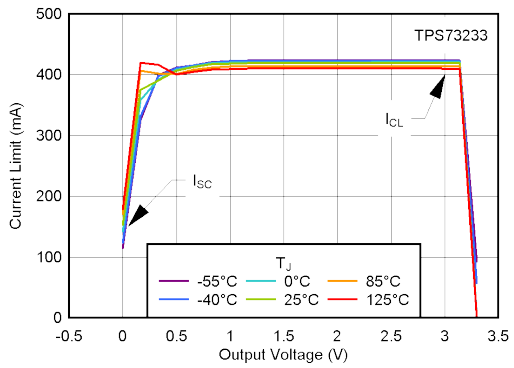
新器件

图 5-14. 接地引脚电流与温度间的关系



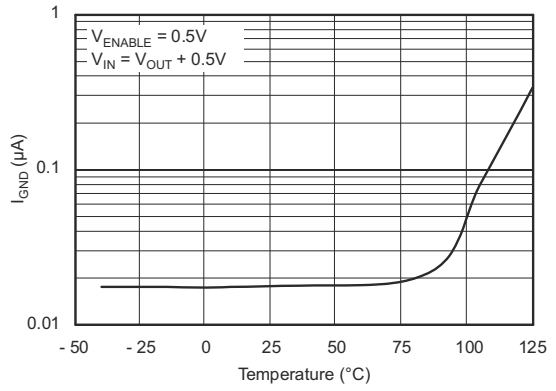
传统器件

图 5-15. 电流限值与 V_{OUT}（折返）间的关系



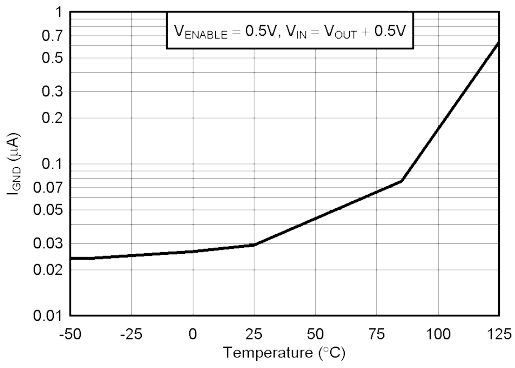
新器件

图 5-16. 电流限值与 V_{OUT}（折返）间的关系



传统器件

图 5-17. 关断时的接地引脚电流与温度间的关系



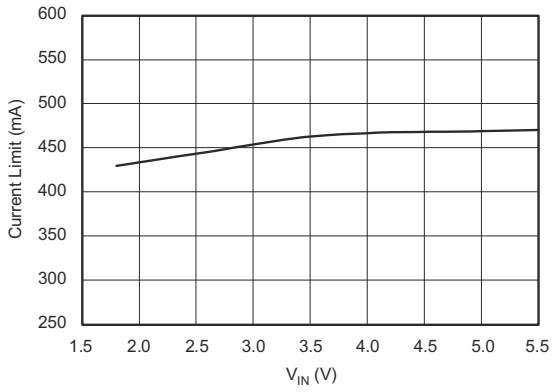
新器件

图 5-18. 关断时的接地引脚电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

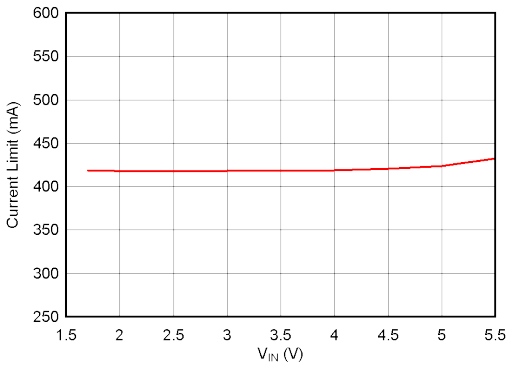
5.8 典型特性（续）

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µF 条件下（除非另有说明）



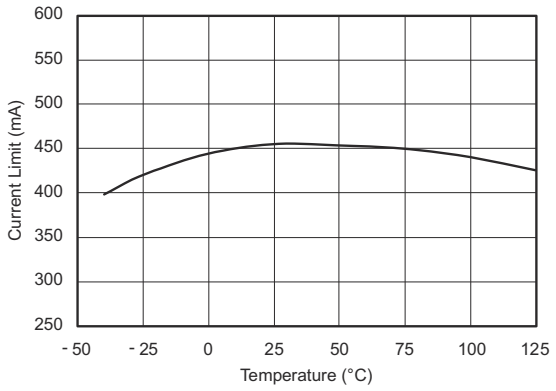
传统器件

图 5-19. 电流限值与 V_{IN} 间的关系



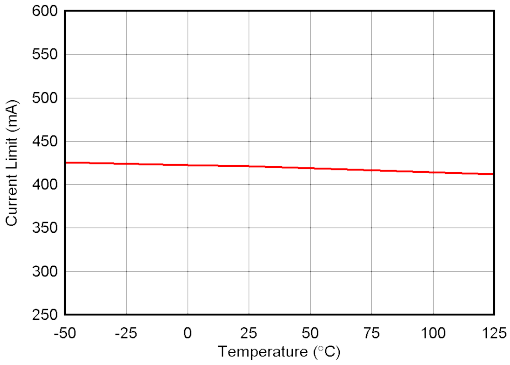
新器件

图 5-20. 电流限值与 V_{IN} 间的关系



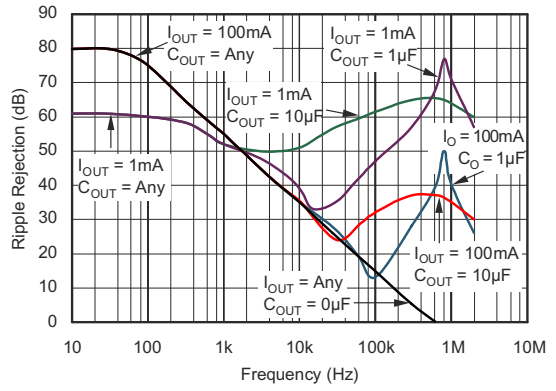
传统器件

图 5-21. 电流限制与温度间的关系



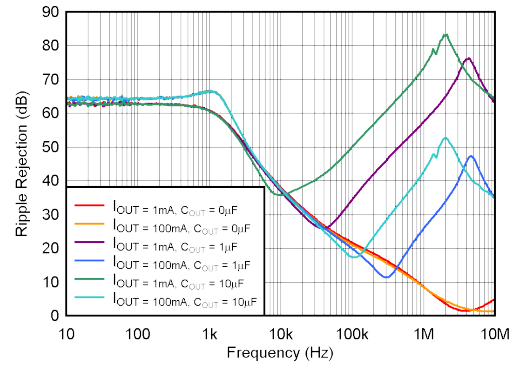
新器件

图 5-22. 电流限制与温度间的关系



传统器件

图 5-23. PSRR（纹波抑制）与频率间的关系



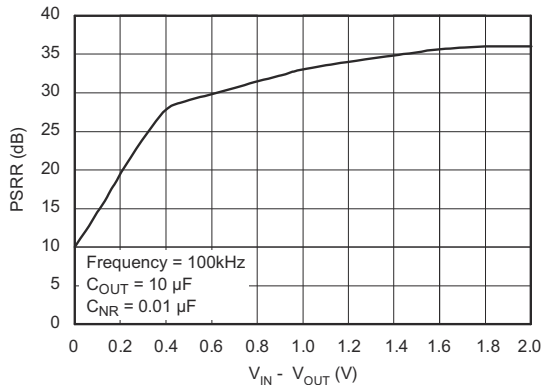
新器件

图 5-24. PSRR（纹波抑制）与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

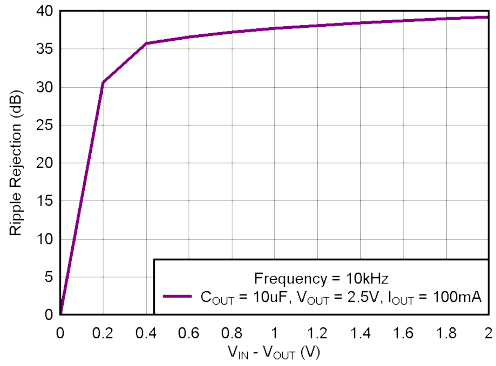
5.8 典型特性（续）

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µ F 条件下（除非另有说明）



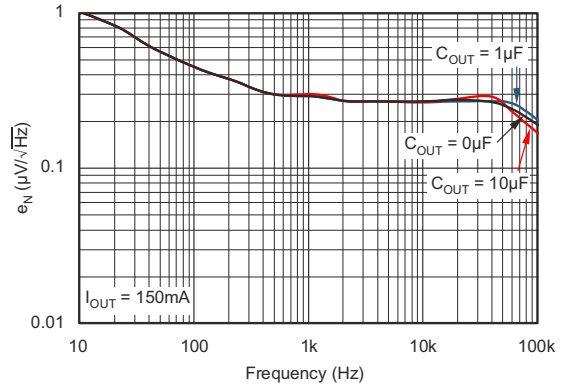
传统器件

图 5-25. PSRR（纹波抑制）与 V_{IN} – V_{OUT} 间的关系



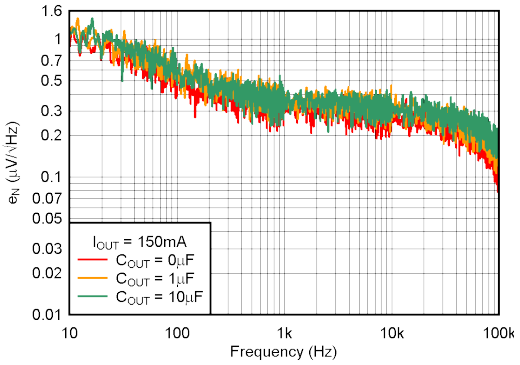
新器件

图 5-26. PSRR（纹波抑制）与 (V_{IN} – V_{OUT}) 间的关系



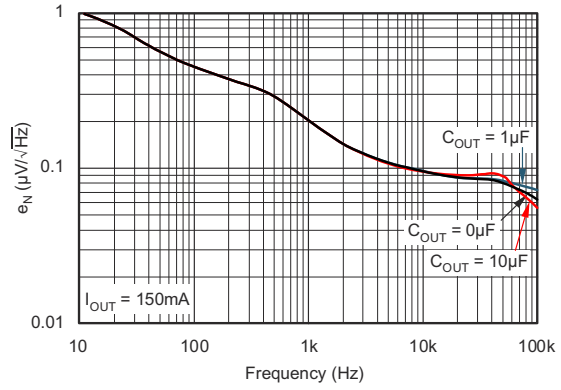
传统器件

图 5-27. 噪声谱密度与 C_{NR} = 0 µ F 间的关系



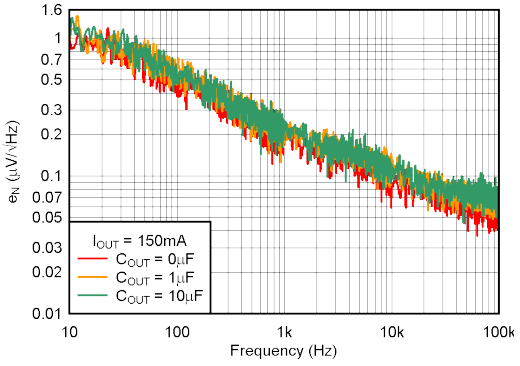
新器件

图 5-28. 噪声谱密度 C_{NR} = 0µF



传统器件

图 5-29. 噪声谱密度与 C_{NR} = 0.01 µ F 间的关系



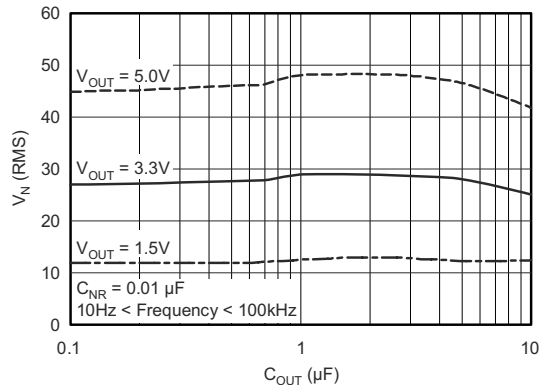
新器件

图 5-30. 噪声谱密度 C_{NR} = 0.01µF

Copyright © 2025 Texas Instruments Incorporated

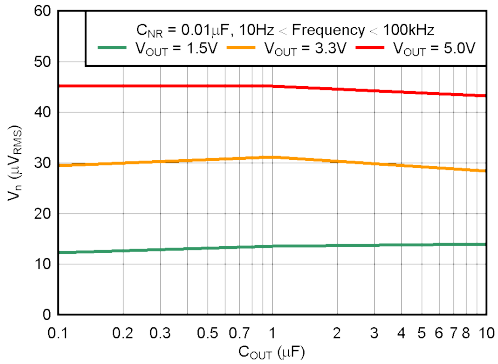
5.8 典型特性（续）

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µF 条件下（除非另有说明）



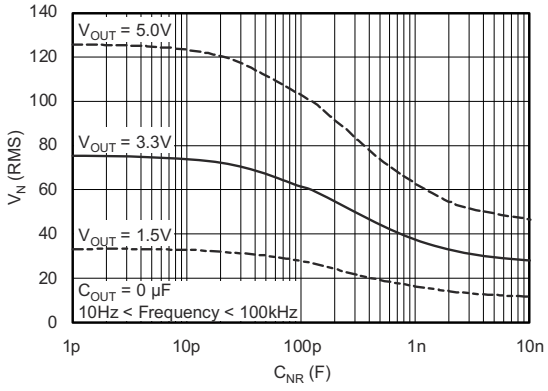
传统器件

图 5-31. RMS 噪声电压与 C_{OUT} 间的关系



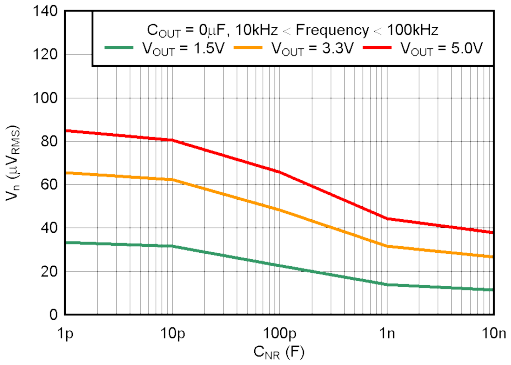
新器件

图 5-32. RMS 噪声电压与 C_{OUT} 间的关系



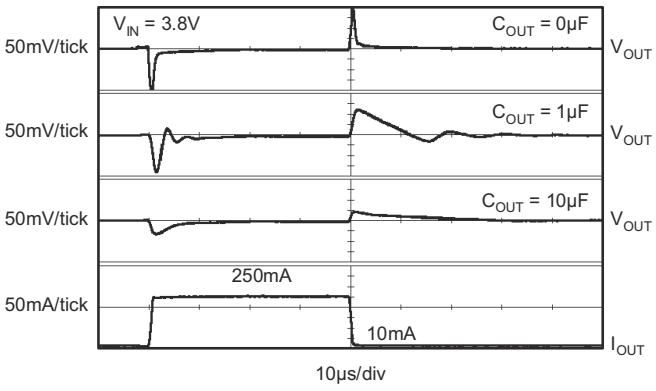
传统器件

图 5-33. RMS 噪声电压与 C_{NR} 间的关系



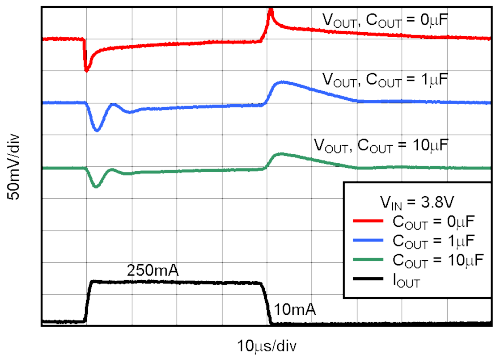
新器件

图 5-34. RMS 噪声电压与 C_{NR} 间的关系



传统器件

图 5-35. TPS73233-Q1 – 负载瞬态响应



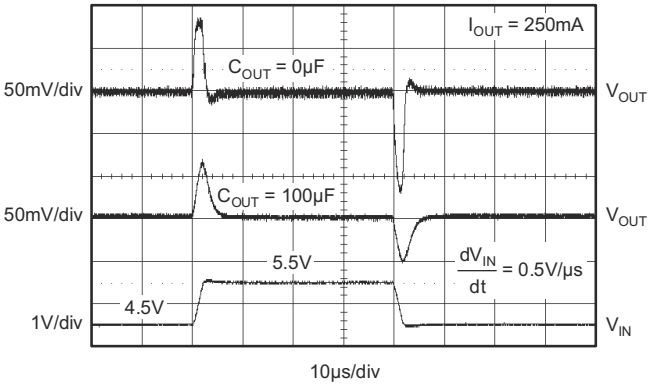
新器件

图 5-36. TPS73233-Q1 负载瞬态响应

Copyright © 2025 Texas Instruments Incorporated

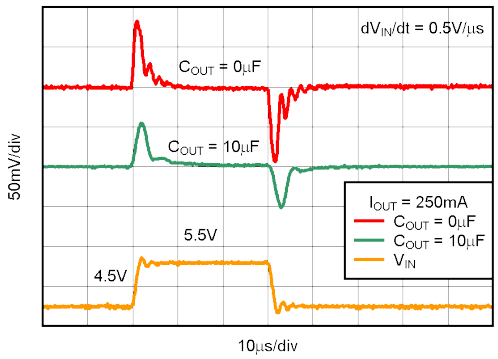
5.8 典型特性（续）

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µ F 条件下（除非另有说明）



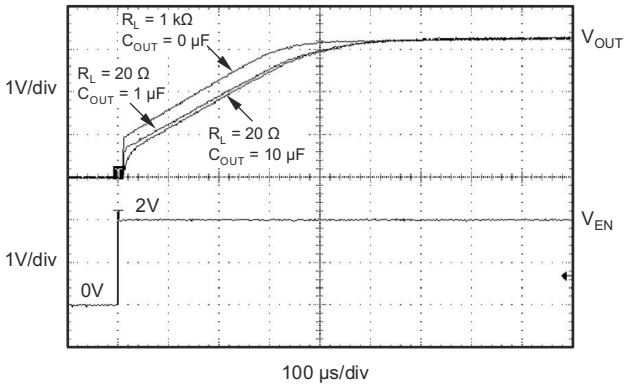
传统器件

图 5-37. TPS73233-Q1 – 线路瞬态响应



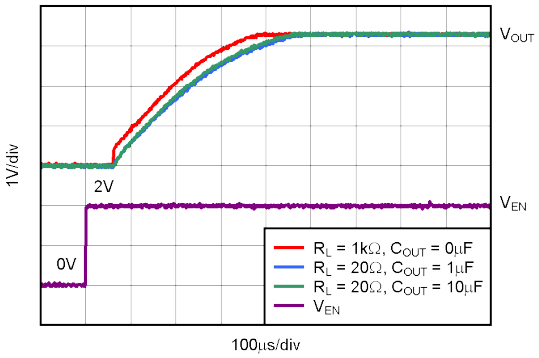
新器件

图 5-38. TPS73233-Q1 线路瞬态响应



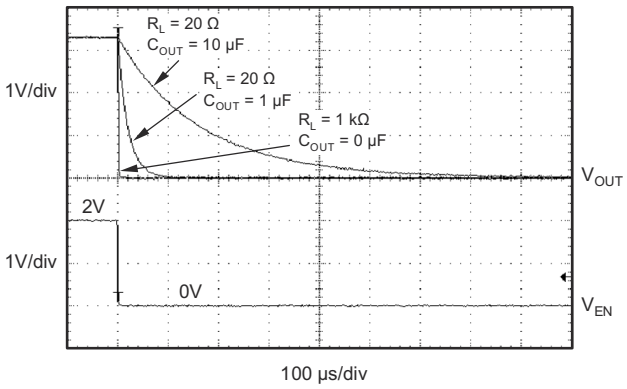
传统器件

图 5-39. TPS73233-Q1 - 导通响应



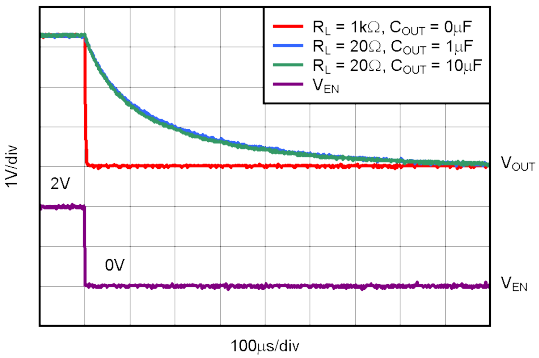
新器件

图 5-40. TPS73233-Q1 导通响应



传统器件

图 5-41. TPS73233-Q1 - 关断响应



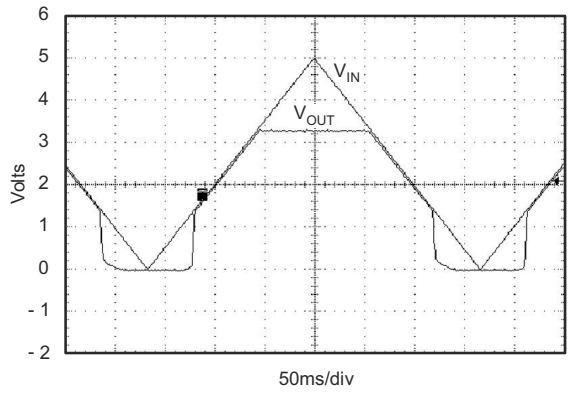
新器件

图 5-42. TPS73233-Q1 关断响应

Copyright © 2025 Texas Instruments Incorporated

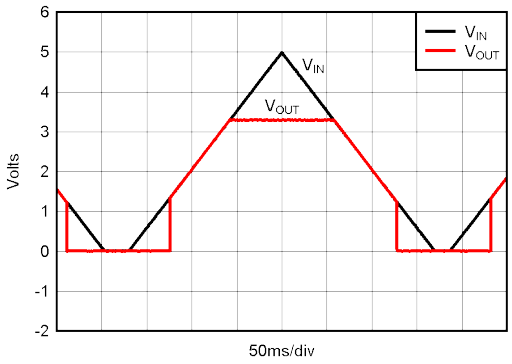
5.8 典型特性（续）

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µF 条件下（除非另有说明）



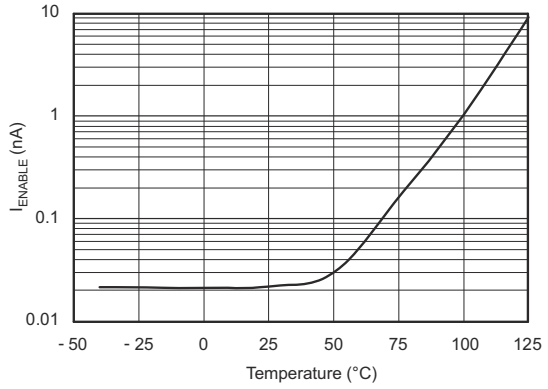
传统器件

图 5-43. TPS73233-Q1 - 上电和断电



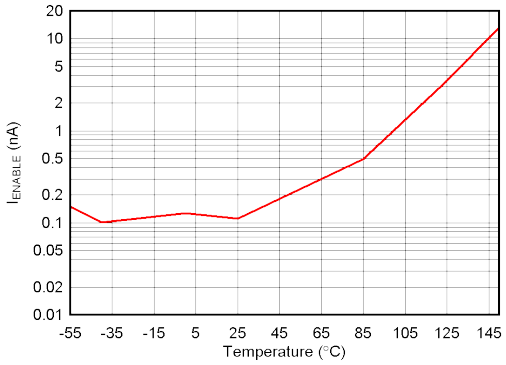
新器件

图 5-44. TPS73233-Q1 上电和断电



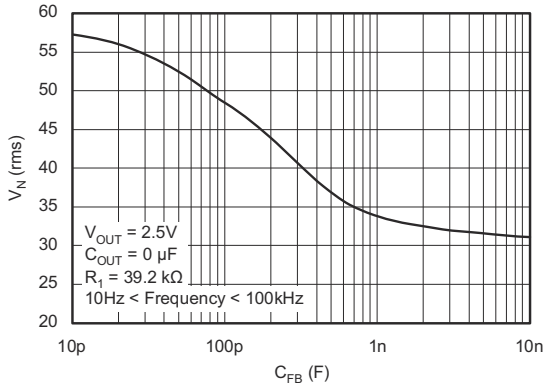
传统器件

图 5-45. I_{ENABLE} 与温度间的关系



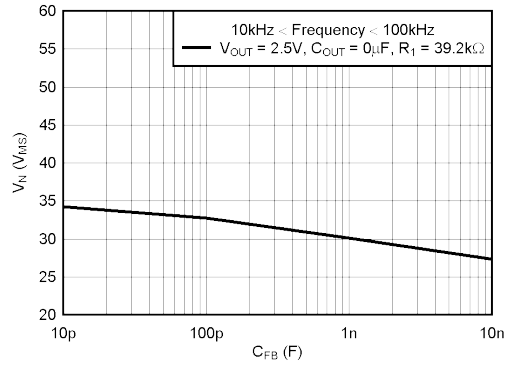
新器件

图 5-46. I_{ENABLE} 与温度间的关系



传统器件

图 5-47. TPS73201-Q1 – RMS 噪声电压与 C_{ADJ} 间的关系



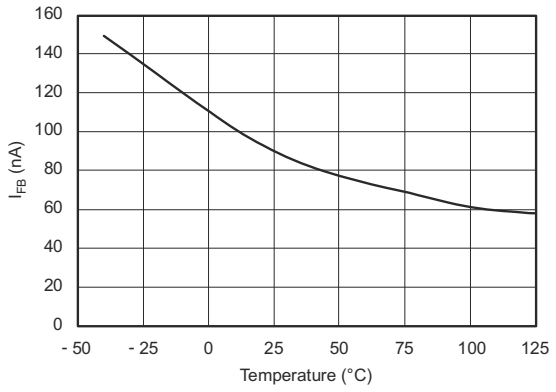
新器件

图 5-48. TPS73201-Q1 RMS 噪声电压与 C_{FB} 间的关系

Copyright © 2025 Texas Instruments Incorporated

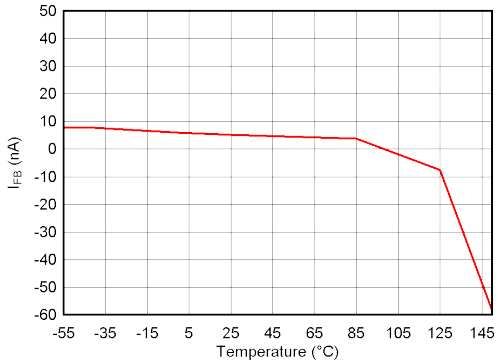
5.8 典型特性（续）

适用于所有电压版本，在 T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V 且 C_{OUT} = 0.1 µF 条件下（除非另有说明）



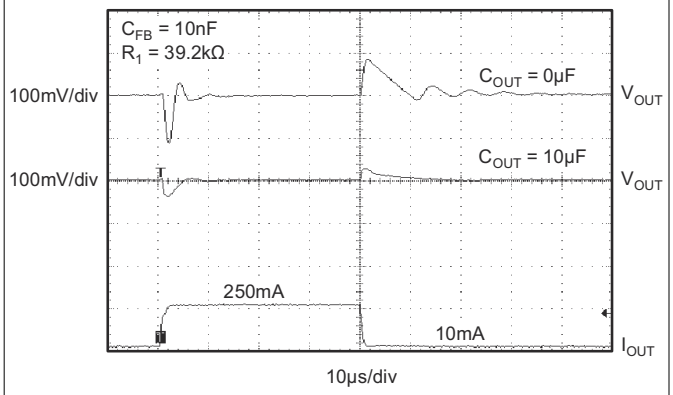
传统器件

图 5-49. TPS73201-Q1 – I_{FB} 与温度间的关系



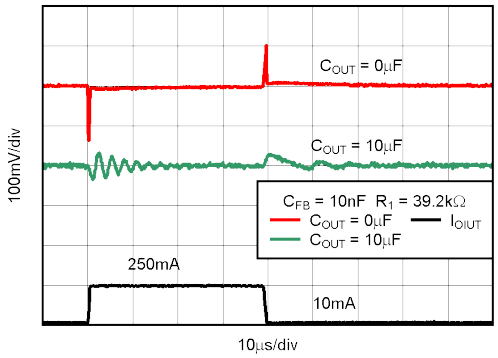
新器件

图 5-50. TPS73201-Q1 I_{FB} 与温度间的关系



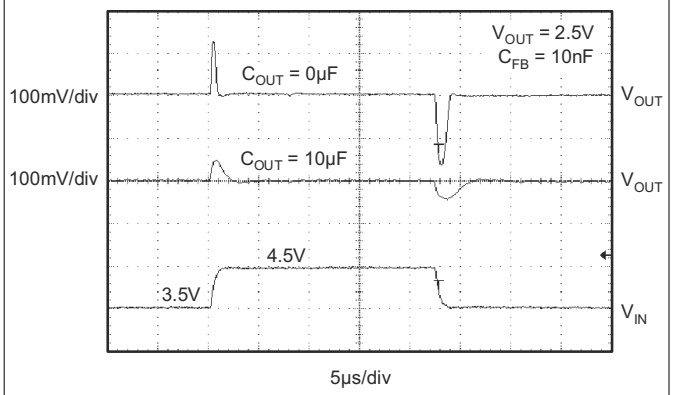
传统器件

图 5-51. TPS73201-Q1 – 负载瞬态，可调节版本



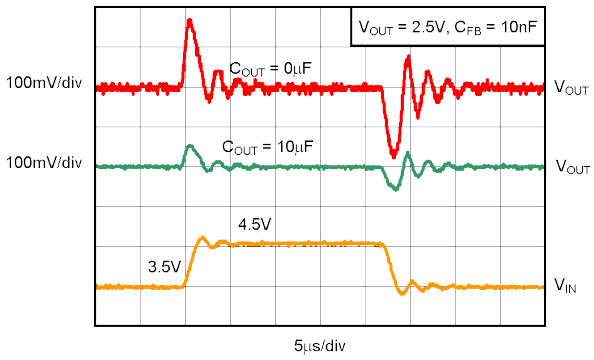
新器件

图 5-52. TPS73201-Q1 负载瞬态，可调节版本



传统器件

图 5-53. TPS73201-Q1 – 线路瞬态，可调节版本



新器件

图 5-54. TPS73201-Q1 线路瞬态，可调节版本

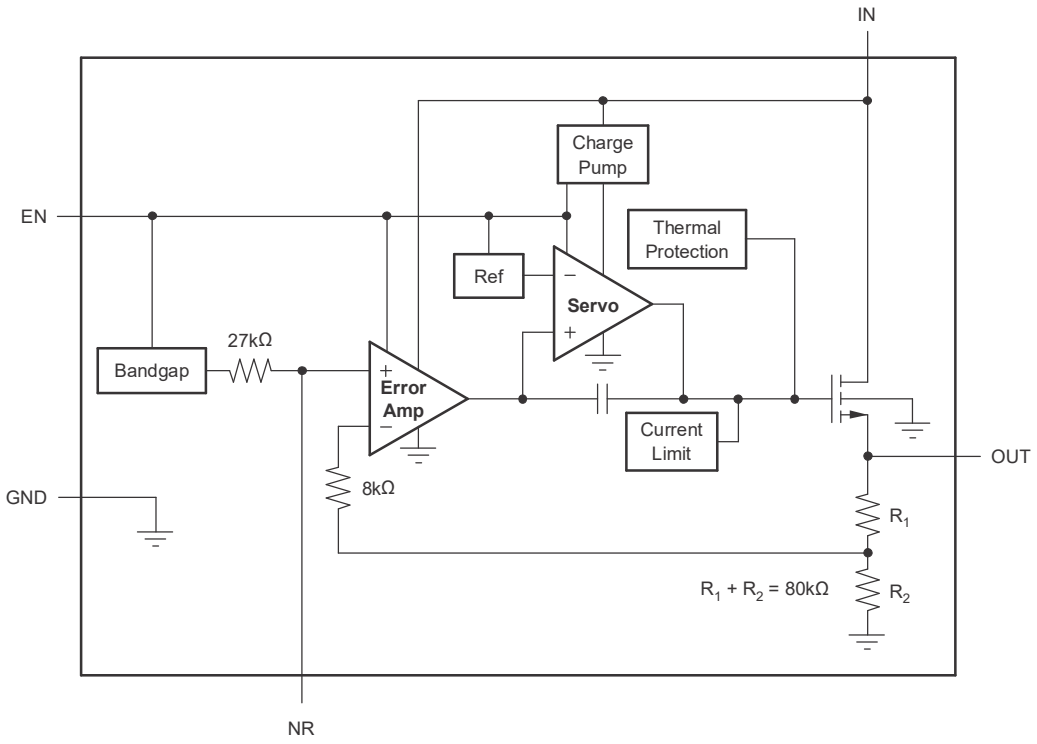
Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS732-Q1 低压降线性稳压器器件可在低至 1.7V 的输入电压下工作，并支持低至 1.2V 的输出电压，同时提供高达 250mA 的负载电流。这些线性稳压器使用具有集成 4MHz 电荷泵的 NMOS 导通元件，以在满负载电流下提供小于 150mV 的压降电压。这种独特的架构还允许在各种输出电容器下实现稳定的调节。实际上，TPS732-Q1 系列器件不需要任何输出电容器即可稳定运行。该系列线性稳压器对输出电容值和类型的敏感度降低，因此非常适合为有效电容未知的负载供电。TPS732-Q1 系列器件还具有降噪 (NR) 引脚，可进一步降低输出噪声。TPS732-Q1 系列器件具有低噪声输出，非常适合为 VCO 或任何其他噪声敏感型负载供电。

6.2 功能方框图



固定电压版本。

6.3 特性说明

6.3.1 内部电流限制

TPS732-Q1 内部电流限制有助于在故障情况下对稳压器进行保护。当 V_{OUT} 降到低于 0.5V 时，折返通过降低电流限制，有助于在输出短路情况下保护稳压器免受损坏。具体请参阅图 5-15。

6.3.2 关断

使能引脚高电平有效并且与标准 TTL-CMOS 电平兼容。V_{EN} 低于 0.5V（最大值）会将稳压器关闭并将接地引脚的电流降至大约 10nA。当不需要关断功能时，使能引脚可连接至 V_{IN}。当使用上拉电阻器且需要在低至 1.8V 的电压下工作时，请使用小于 50kΩ 的上拉电阻器。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 压降电压

TPS732-Q1 系列器件使用一个 NMOS 导通晶体管来实现极低压降。当 (V_{IN} – V_{OUT}) 低于压降电压 (V_{DO}) 时，NMOS 导通器件处于其运行的线性区域并且输入到输出电阻是 NMOS 导通元件的 R_{DS-ON}。

对于负载电流的较大阶跃变化，TPS732-Q1 系列器件要求一个从 V_{IN} 到 V_{OUT} 的更大压降以避免降低瞬态响应的性能。这个瞬变压降区域的边界大约为 dc 输出的两倍。在这个边界之上的 V_{IN} – V_{OUT} 的值提供了正常瞬态响应。

在瞬态压降区域内运行会增加恢复时间。从一个负载瞬态中恢复所需的时间是负载电流速率变化幅度、负载电流的变化速率、和可用动态空间（V_{IN} 至 V_{OUT} 压降）的函数。在最差情况下（(V_{IN} – V_{OUT}) 的满量程瞬时负载变化接近 dc 压降水平），TPS732-Q1 系列器件可在几百毫秒内返回特定的调节精度。

6.3.4 瞬态响应

由一个电压跟随器配置中的 NMOS 导通元件提供的低开环路输出阻抗可实现很多无输出电容器的运行。当与任一稳压器一同工作时，一个从输出引脚到接地间增加的电容器（标称值 1 µF）将减少下冲幅度，但是会增加其持续时间。在可调节版本中，在输出引脚到调节引脚间增加的电容器 C_{FB} 也能提升瞬态响应性能。

TPS732-Q1 系列器件在输出过压时没有有源下拉功能。这使得应用能够将诸如替代电源的更高电压源连接至输出。当一个电容器被连接至输出上，如果负载电流快速下降至零，这也将导致一个大于百分之一但小于百分之十的输出过冲。通过增加一个负载电阻器可减少过冲的持续时间。过冲衰减速率由输出电容器 C_{OUT} 和内部及外部负载电阻值确定。衰减速率由方程式 1 和方程式 2 确定：

固定电压版本:

$$dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega} \quad (1)$$

可调电压版本：

$$dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \,||\, (R_1 + R_2)} \quad (2)$$

6.3.5 反向电流

TPS732-Q1 系列器件的 NMOS 导通元件提供固有保护，可防止导通器件的栅极被拉至低电平时，来自稳压器输出的电流流入输入端。为了保证所有电荷从导通元件的栅极上移除，在输入电压被移除前，使能引脚必须被驱动至低电平。如果这没有完成，由于栅极上存储的电荷，导通元件也许被保持在打开状态。

在使能引脚被驱动至低电平时，在任一引脚上无需偏置电压即可实现反向电流阻断。请注意，反向电流被定义为由于应用到 OUT 引脚上的电压而从 IN 引脚中流出的电流。由于 80kΩ 内部电阻分压器接地，将有一个额外的电流流入 OUT 引脚（请参阅*功能方框图*和图 7-3）。

对于 TPS73201-Q1，当 V_{FB} 高于 V_{IN} 超过 1V 时，可能会发生反向电流。

Copyright © 2025 Texas Instruments Incorporated

6.3.6 热保护

当结温上升至大约 160°C 时，过热保护会禁用输出以使器件冷却。当结温冷却至大约 140°C 时，输出电路将被重新使能。根据功率耗散、热阻和环境温度的变化，过热保护电路可能会循环开启和关断。这样就限制了稳压器的功率耗散，从而保护器件不受过热损坏。

任何有可能激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为了实现可靠运行，结温必须被限制为最高 125°C。为了估算一个完整设计中（包括散热）的安全裕量，增加环境温度直到触发过热保护；使用最差情况负载和信号条件。为了实现更好的稳定性，过热保护应该在比您的应用的最大预计环境温度至少高 35°C 时触发。这样就在最高预计环境温度和最差情况负载上产生了一个 125°C 最差情况结温。

TPS732-Q1 系列器件的内部保护电路经过设计，可防止出现过载情况。该保护电路并不是为了取代适当的散热装置。持续运行 TPS732-Q1 系列器件至热关断状态会降低器件的可靠性。

6.4 器件功能模式

6.4.1 正常运行

TPS732-Q1 系列器件需要至少为 1.7V 的输入电压，才能正常运行并尝试保持稳压。

当器件在接近 5.5V 的电压下运行时，应注意抑制任何可能超过 6V 绝对最大额定电压的瞬态尖峰。该器件绝不能在大于 5.5V 的直流电压下运行。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS732-Q1 属于全新一代 LDO 稳压器系列产品，此系列使用一个 NMOS 导通晶体管来实现超低压降性能、反向电流阻断、以及不受输出电容器的限制。这些特性，与低噪声和一个使能输入组合在一起，使得 TPS732-Q1 非常适合便携式应用。这个稳压器系列提供固定输出电压版本和一个可调输出版本的宽范围选择。所有版本都具有过热以及过流保护，其中包括折返电流限制。

7.2 典型应用

图 7-1 显示了针对固定电压模型的基本电路连接。图 7-2 提供了可调输出版本 (TPS73201-Q1) 的连接。

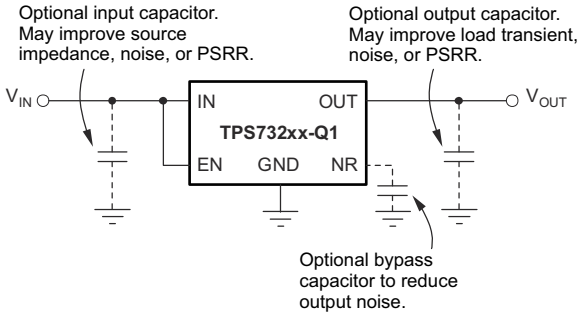


图 7-1. 针对固定电压版本的典型应用电路

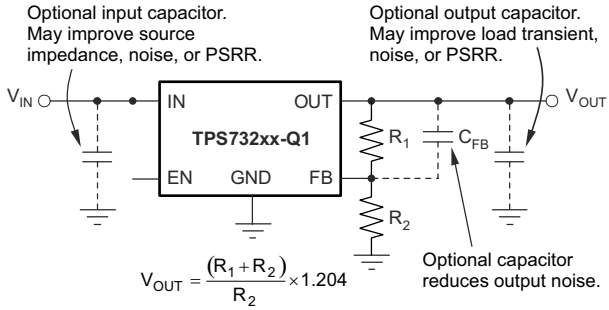
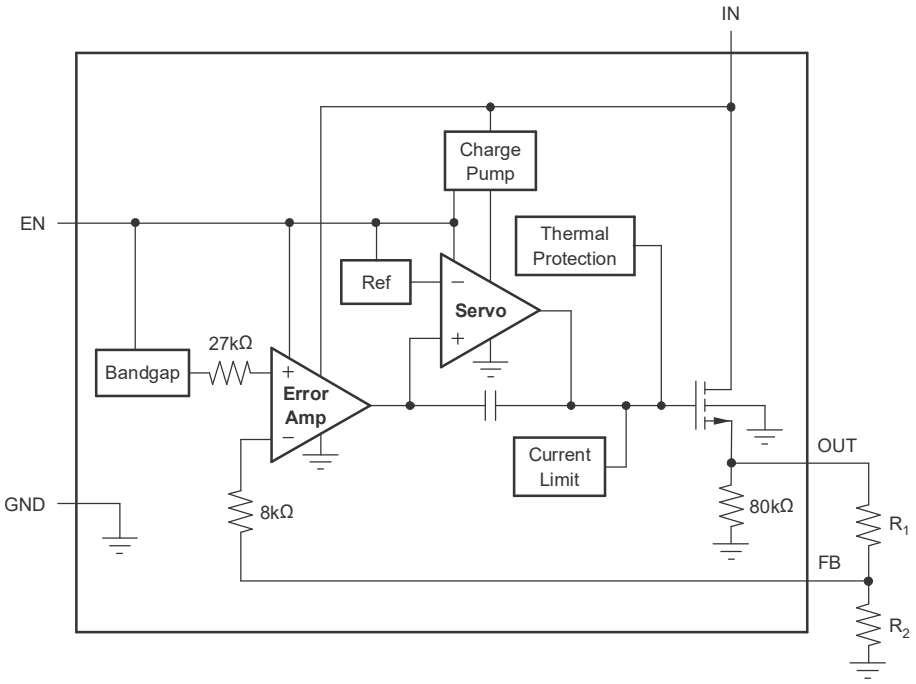


图 7-2. 可调电压版本的典型应用电路

7.2.1 设计要求

使用图 7-2 中显示的公式，R_1 和 R_2 可用于计算任一输出电压。针对共同输出电压的取样电阻器值显示在图 7-3 中。对了获得最佳精度，应当使 R_1 和 R_2 的并联组合值约为 19kΩ。



为了获得最佳精度，$V_{OUT} = (R_1 + R_2) / R_2 \times 1.204$

$R_1 \parallel R_2 \cong 19k\Omega$。

图 7-3. 可调电压版本

表 7-1. 针对常用输出电压的标准 1% 电阻器

V_{OUT}	R_1	R_2
1.2V	短路	开路
1.5V	23.2kΩ	95.3kΩ
1.8V	28kΩ	56.2kΩ
2.5V	39.2kΩ	36.5kΩ
2.8V	44.2kΩ	33.2kΩ
3V	46.4kΩ	30.9kΩ
3.3V	52.3kΩ	30.1kΩ
5V	78.7kΩ	24.9kΩ

Copyright © 2025 Texas Instruments Incorporated

7.2.2 详细设计过程

7.2.2.1 输入和输出电容器要求

虽然无需输入电容器即可实现稳定，将一个 0.1 µ F 至 1 µ F 低 ESR 电容器连接到稳压器附近的输入电源上却是一个好的模拟设计原则。这样抵消了被重新激活的输入源并且提升了瞬态响应、噪声抑制、以及纹波抑制。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离电源几英寸远的话，有可能需要一个更大电容值的电容器。

TPS732-Q1 系列器件无需输出电容器即可实现稳定并具有无电容器的最大相位裕量。这些器件设计用于与所有可用类型和电容值的电容器一起工作时保持稳定。在 V_{IN} – V_{OUT} < 0.5V 且多个低 ESR 电容器并联的应用中，当 C_{OUT} 和总 ESR 的乘积降到低于 50nF×Ω 时，有可能发生振铃。总 ESR 包括全部寄生电阻，其中有电容器 ESR 和电路板、插槽、和焊点结合处电阻。在大多数应用中，电容器 ESR 和走线电阻值的总和满足这一要求。

7.2.2.2 输出噪声

一个精准带隙基准用于生成内部基准电压 V_{REF}。这个基准是 TPS732-Q1 系列器件内的主要噪声源并且在基准输出 (NR) 上产生大约 32 µ V_{RMS}（10Hz 至 100kHz）。稳压器控制环路对基准噪声的增益补偿与对基准电压的增益补偿一致，这样稳压器的噪声电压可大约确定为：

$$V_N = 32\mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32\mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (3)$$

由于 V_{REF} 的值为 1.2V，这个相互关系减少至：

$$V_N(\mu V_{RMS}) = 27\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (4)$$

其中

- C_{NR} 不存在

当一个外部降噪电容器 C_{NR} 被从 NR 接至接地时，一个与降噪引脚 (NR) 串联的内部 27kΩ 电阻器为电压基准形成一个低导通滤波器。因为 C_{NR} = 10nF，根据给出的大致关系，10Hz 至 100kHz 带宽内的总噪声被减少了大约 3.2 倍：

$$V_N(\mu V_{RMS}) = 8.5\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (5)$$

其中

- C_{NR} = 10nF

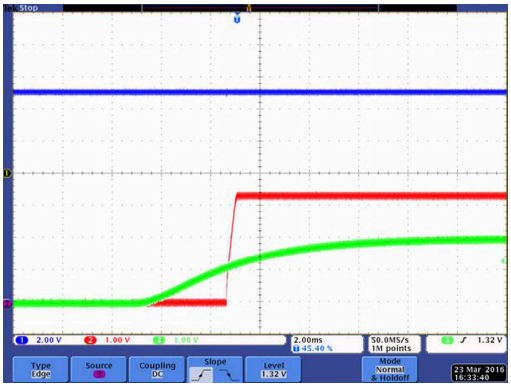
这个降噪效应显示在*典型特性* 的 *RMS 噪声电压与 C_{NR} 间的关系* 图中。

TPS73201-Q1 可调节版本没有提供降噪引脚。不过，将一个反馈电容器 C_{FB} 从输出连接至 FB 引脚将降低输出噪声并提升负载瞬态性能。

TPS732-Q1 系列器件使用一个内部电荷泵来形成一个内部电源电压，此电压足以将 NMOS 导通元件的栅极驱动至高于 V_{OUT} 的水平。此电荷泵在大约 2MHz 时生成大约 250 µ V 的开关噪声；然而，对于大多数 I_{OUT} 和 C_{OUT} 的值，电荷泵噪声对于稳压器输出的影响可以忽略不计。

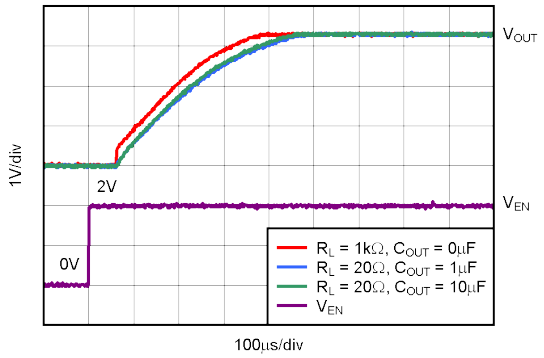
Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线



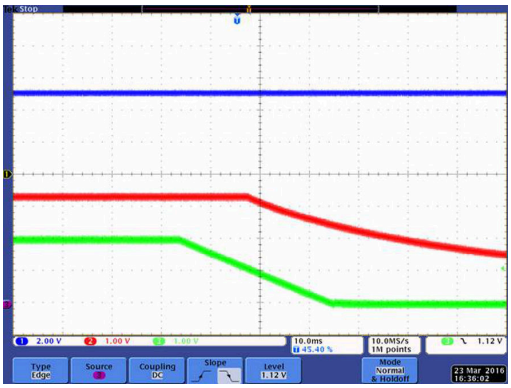
传统器件

图 7-4. 启动



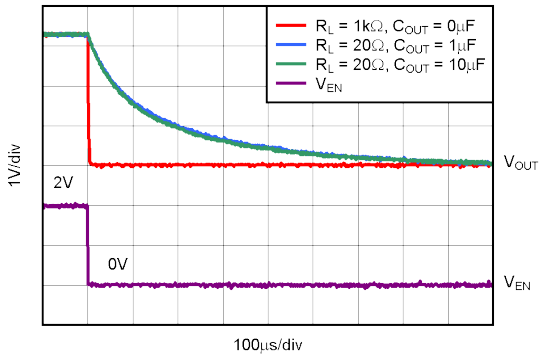
新器件

图 7-5. 启动



传统器件

图 7-6. 关断



新器件

图 7-7. 关断

7.3 电源相关建议

这些器件设计为可在 1.7V 至 5.5V 的输入电源电压范围内运行。输入电压范围为器件提供了足够的余量，以实现稳定的输出。该输入电源必须经过良好调节。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

7.4 布局

7.4.1 布局指南

为了提高交流性能（如 PSRR、输出噪声和瞬态响应等），在设计 PCB 时应为 V_{IN} 和 V_{OUT} 电容器提供接地平面连接，并将接地平面连接到器件的 GND 引脚。此外，针对旁路电容器的接地连接必须直接接至器件的 GND 引脚。

7.4.1.1 功率耗散

对于每一种封装类型，为芯片散热的能力也不同，这体现在印刷电路板 (PCB) 布局的不同考虑中。器件周围没有其他组件的 PCB 区域会将器件的热量散发到周围空气中。使用较重的覆铜可提高器件的散热效率。在散热层上增加的电镀通风孔也能提升散热效率。

功耗取决于输入电压和负载情况。功率耗散等于输出电流乘以输出导通元件（V_{IN} 至 V_{OUT}）上的压降所得到的乘积：

Copyright © 2025 Texas Instruments Incorporated

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

通过使用提供所需输出电压的最低可能输入电压可大大减小功率耗散。

7.4.2 布局示例

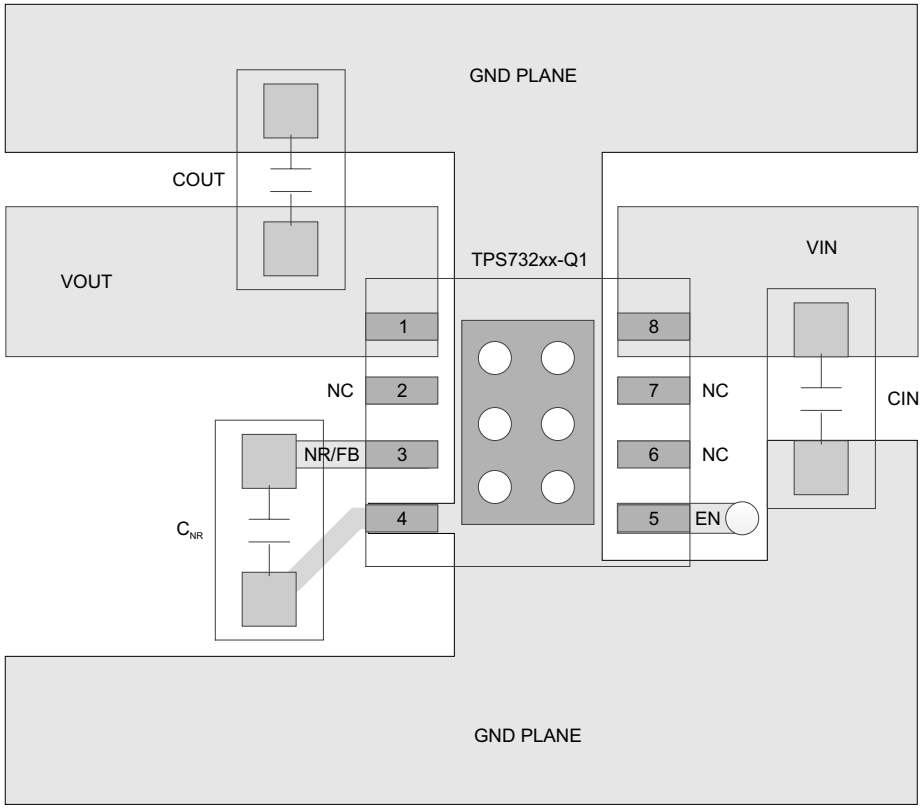


图 7-8. 固定输出电压选项布局（DRB 封装）

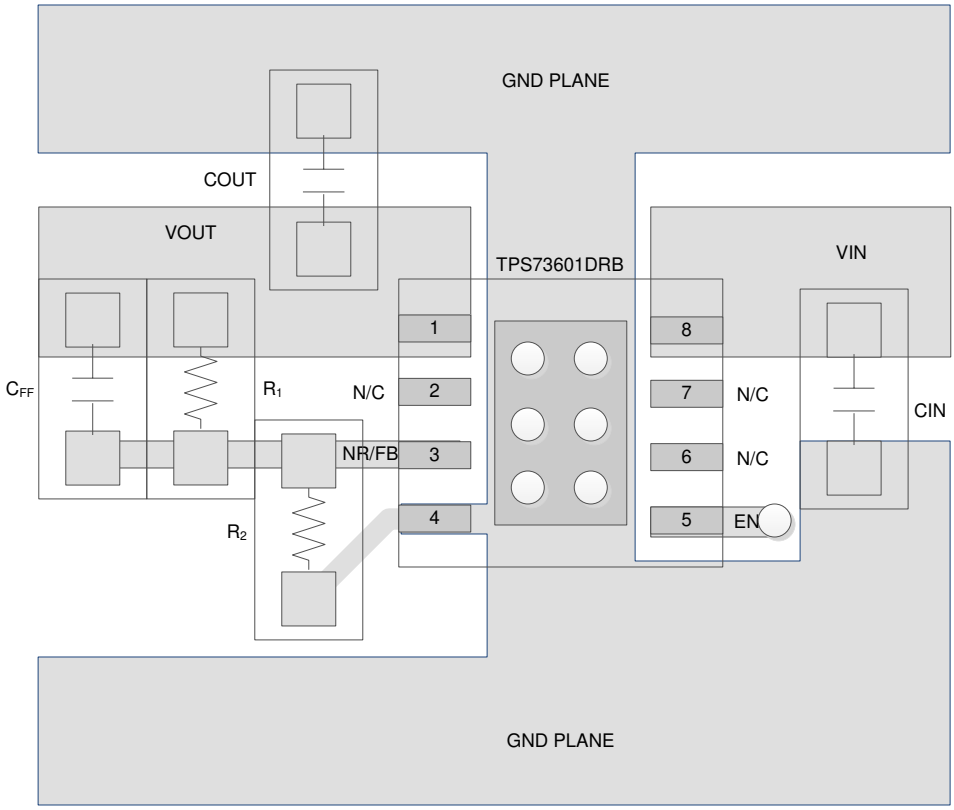


图 7-9. 可调输出电压选项布局（DRB 封装）

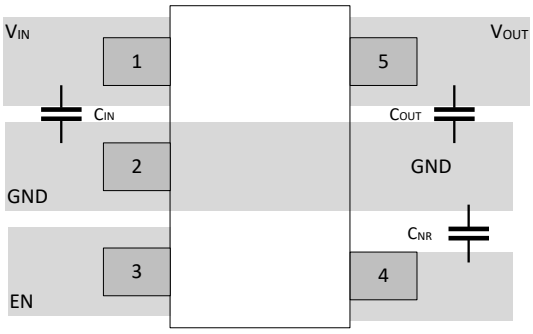


图 7-10. DBV 封装（固定版本）布局示例

Copyright © 2025 Texas Instruments Incorporated

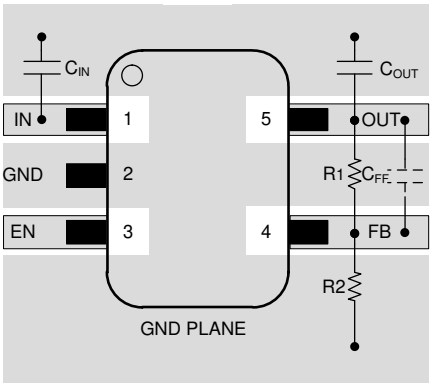


图 7-11. DBV 封装（可调节版本）布局示例

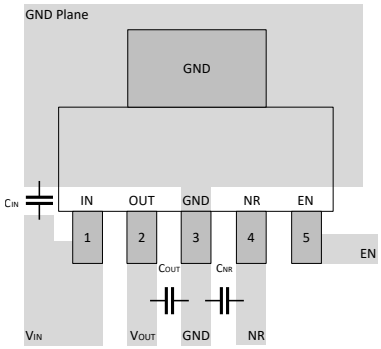


图 7-12. DCQ 封装（固定版本）布局示例

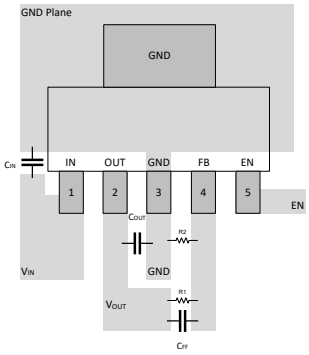


图 7-13. DCQ 封装（可调节版本）布局示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 订购信息

产品	说明(1)
TPS732**xxQyyyz(M3)Q1**	**xx** 表示标称输出电压（比如，25 = 2.5V，01 = 可调节 (2)）。 **Q** 表示该器件是符合 AEC-Q100 标准的 1 级器件 **yyy** 为封装位号。 **z** 为封装数量。 **M3** 是仅使用新制造流程的器件的后缀指示符（CSO：RFB）。没有这个后缀的器件可以随附*传统器件*（CSO：DLN）或*新器件*（CSO：RFB）。卷带封装标签提供 CSO 信息以区分正在使用的器件。全篇对新器件和传统器件的器件性能进行了说明。 **Q1** 表示此器件是一款汽车级 (AEC-Q100) 器件。

(1) 有关最新的封装和订货信息，请参阅本文档末尾的封装选项附录，或访问 www.ti.com.cn，查看器件产品文件夹。
(2) 以固定电压 1.20V 运行时，将 FB 连接至 OUT。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

德州仪器 (TI)，*半导体和 IC 封装热指标* 应用手册

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (December 2024) to Revision H (July 2025)	Page
• 更新了 DRB0008A 封装外形图的 DRB (VSON)	4
• 添加了新的硅基 DBV 热性能信息	4
• 添加了新器件接地引脚电流规格	6
• 删除了*封装安装* 部分	22

Changes from Revision F (April 2016) to Revision G (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更改了整个文档以与当前系列格式保持一致	1
• 向文档添加了 M3 器件	1

Changes from Revision E (August 2013) to Revision F (April 2016)	Page
• 添加了 *器件信息* 表、 *目录*、 *规格* 部分、 *ESD 等级* 表、 *建议工作条件* 表、 *详细说明* 部分、 *应用和实施* 部分、 *电源相关建议* 部分、 *布局* 部分、 *器件和文档支持* 部分 和*机械、封装和可订购信息* 部分	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73201QDBVRM3Q1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJOQ
TPS73201QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJOQ
TPS73201QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJOQ
TPS73201QDRBRM3Q1	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PSAQ
TPS73201QDRBRQ1	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PSAQ
TPS73201QDRBRQ1.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PSAQ
TPS73218QDCQRM3Q1	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73218Q
TPS73218QDCQRM3Q1.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73218Q
TPS73218QDCQRQ1	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73218Q
TPS73218QDCQRQ1.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73218Q
TPS73250QDCQRQ1	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73250Q
TPS73250QDCQRQ1.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73250Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS732-Q1 :

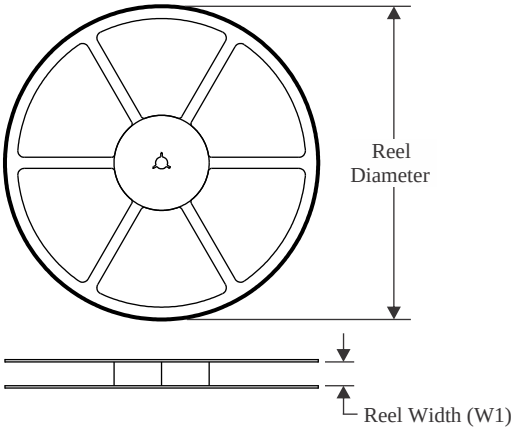
- Catalog : TPS732

NOTE: Qualified Version Definitions:

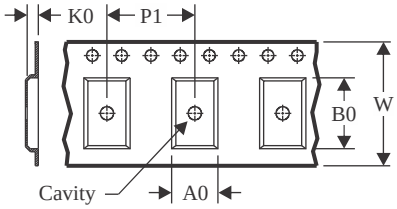
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

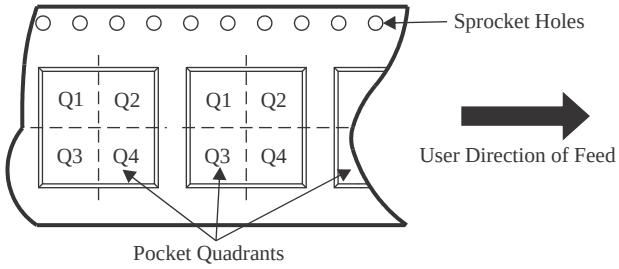


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

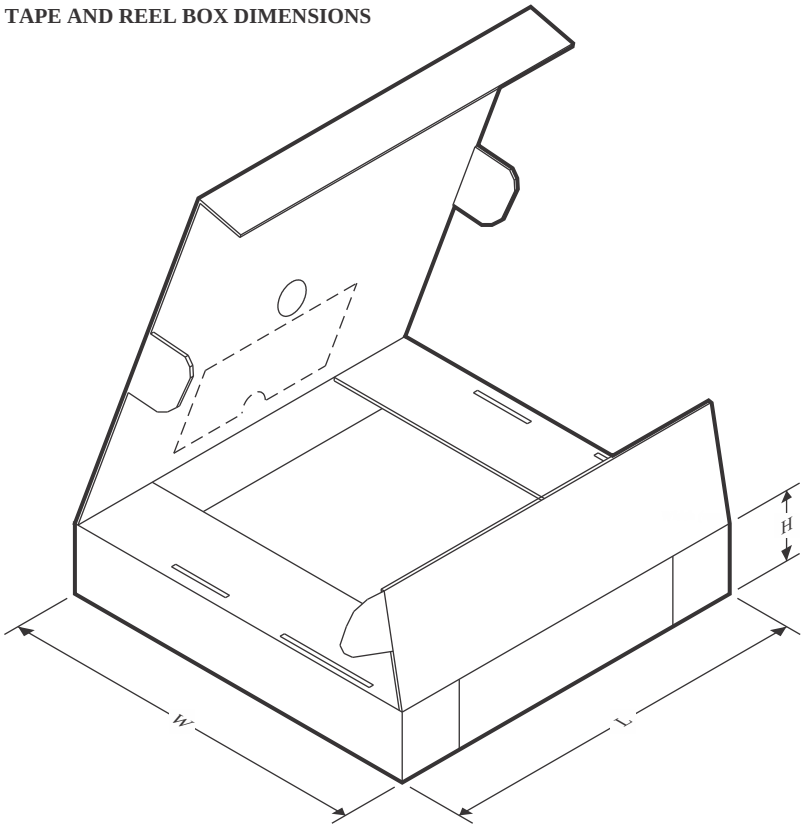
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73201QDBVRM3Q1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73201QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73201QDRBRM3Q1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73201QDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73250QDCQRQ1	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

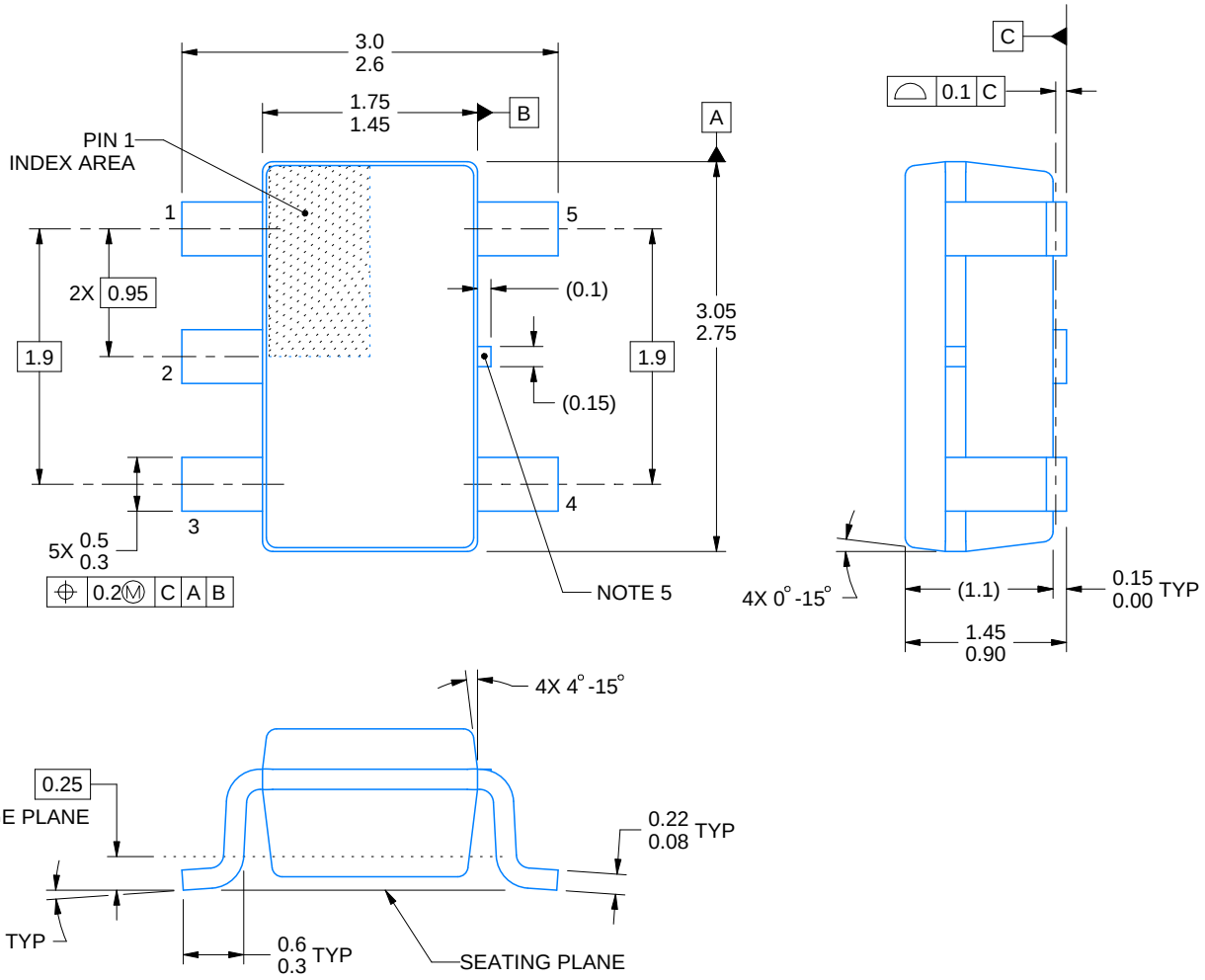
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73201QDBVRM3Q1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73201QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73201QDRBRM3Q1	SON	DRB	8	3000	367.0	367.0	35.0
TPS73201QDRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TPS73250QDCQRQ1	SOT-223	DCQ	6	2500	346.0	346.0	29.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

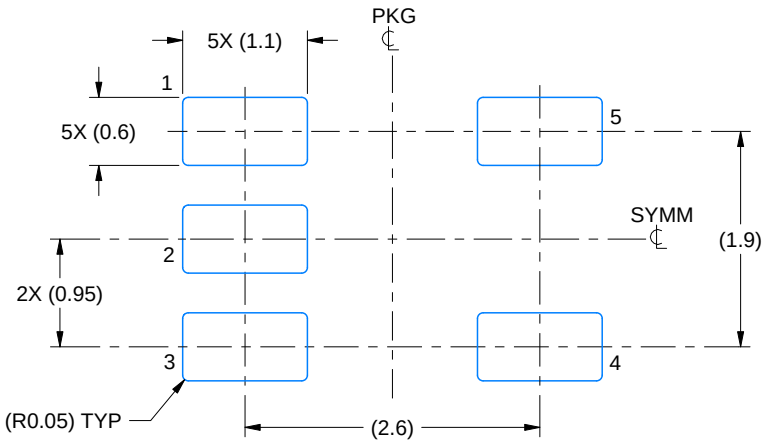
SMALL OUTLINE TRANSISTOR



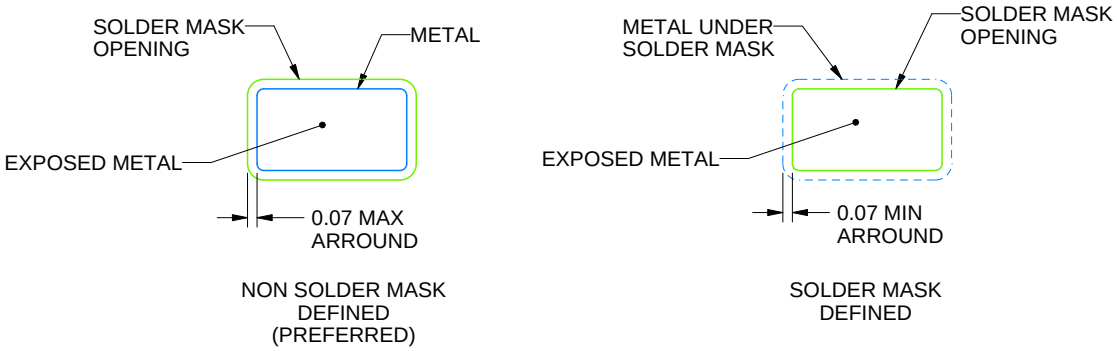
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

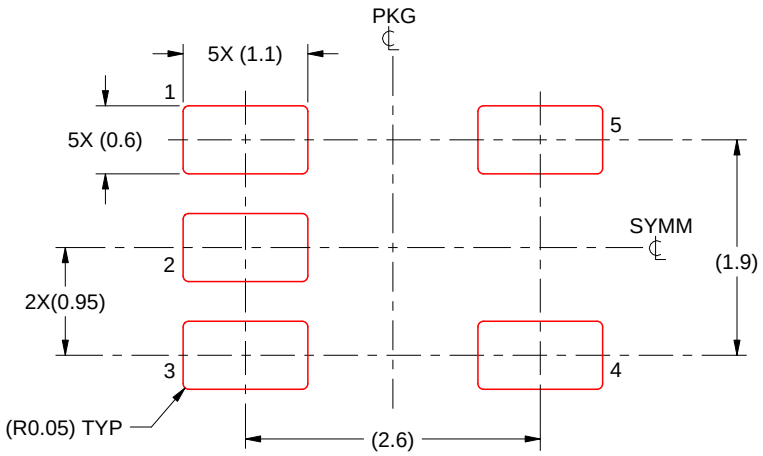


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

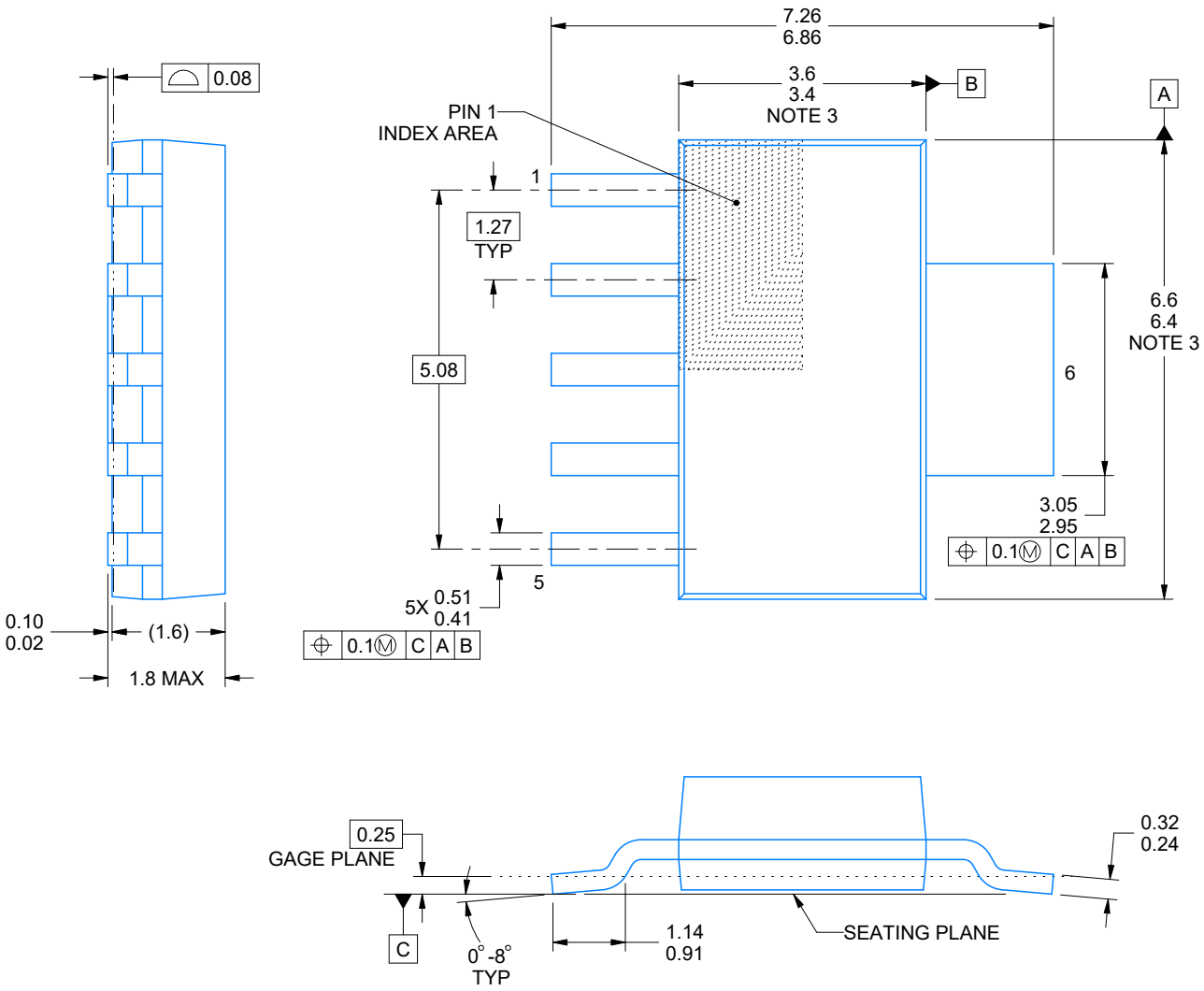
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCQ0006A

SOT - 1.8 mm max height

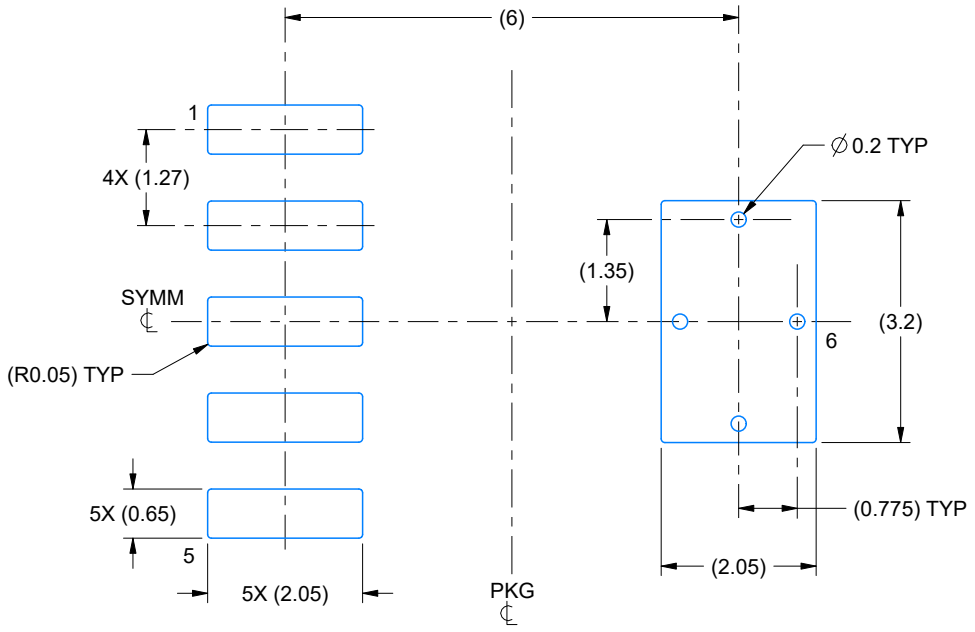
PLASTIC SMALL OUTLINE



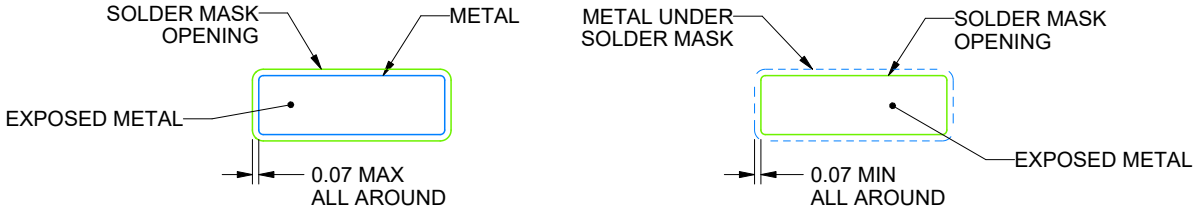
4214845/C 11/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

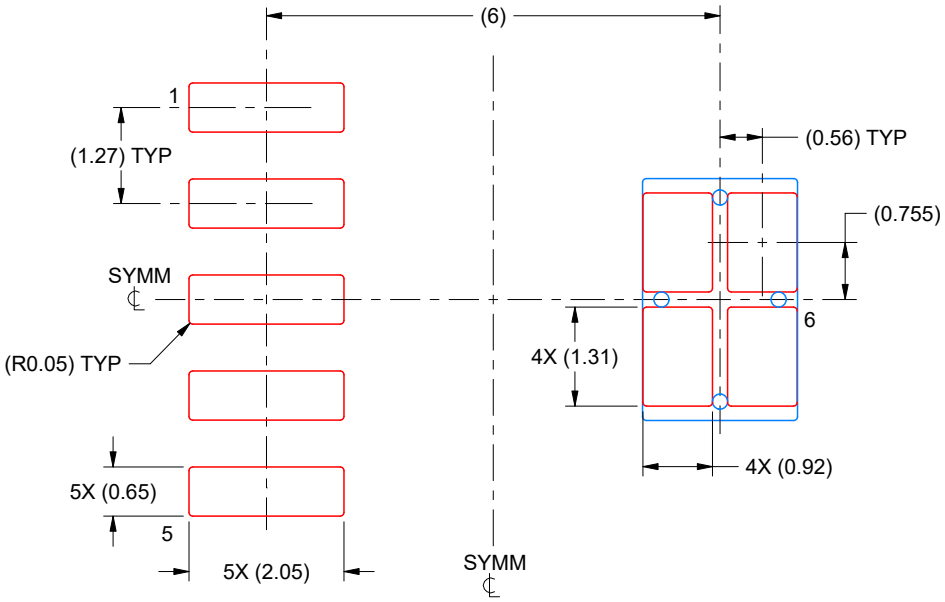


SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

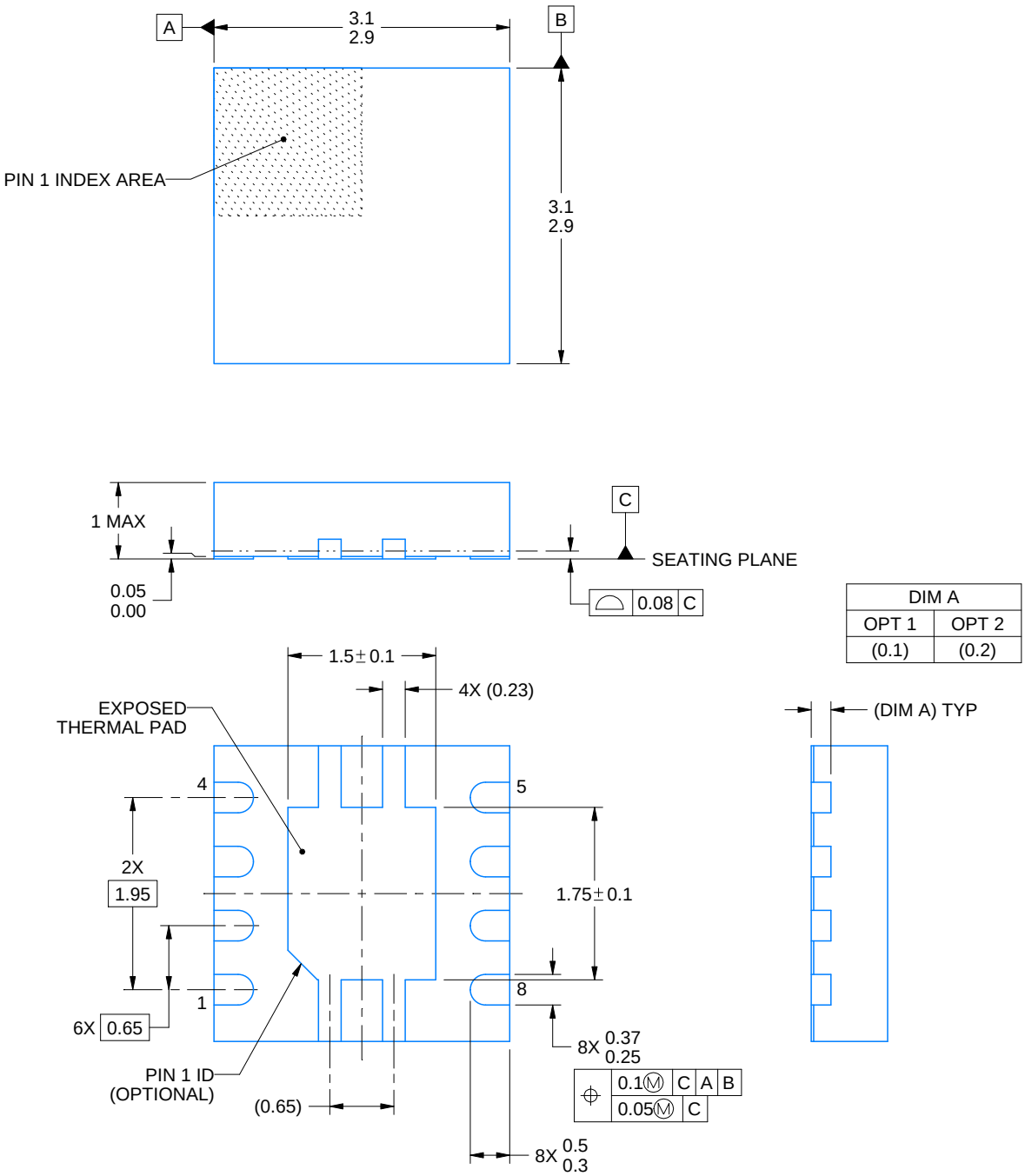
4203482/L

PACKAGE OUTLINE

DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

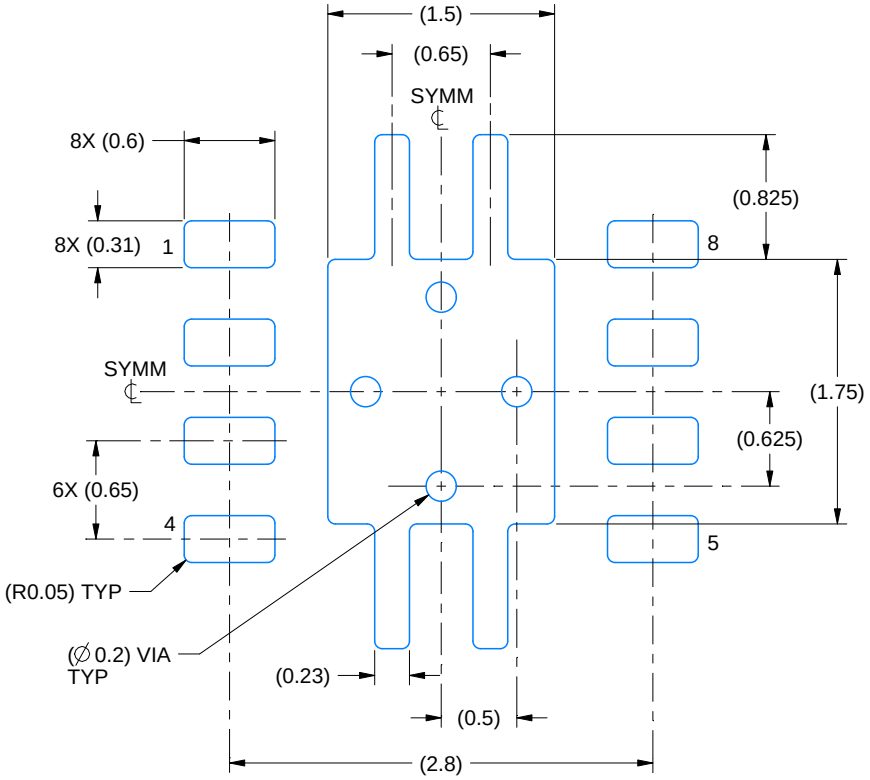
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

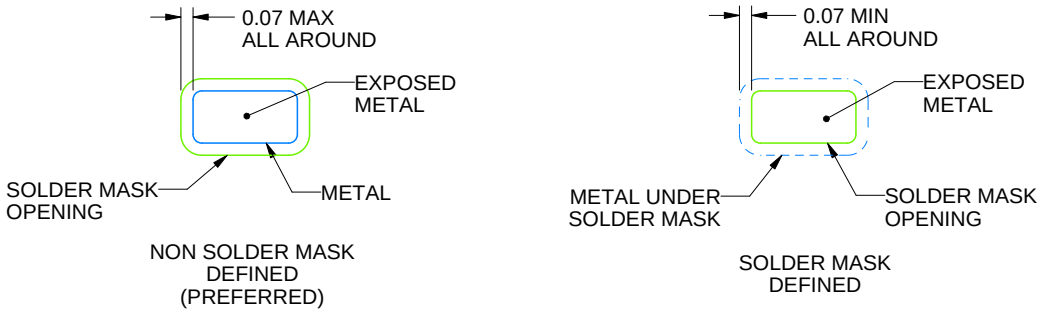
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

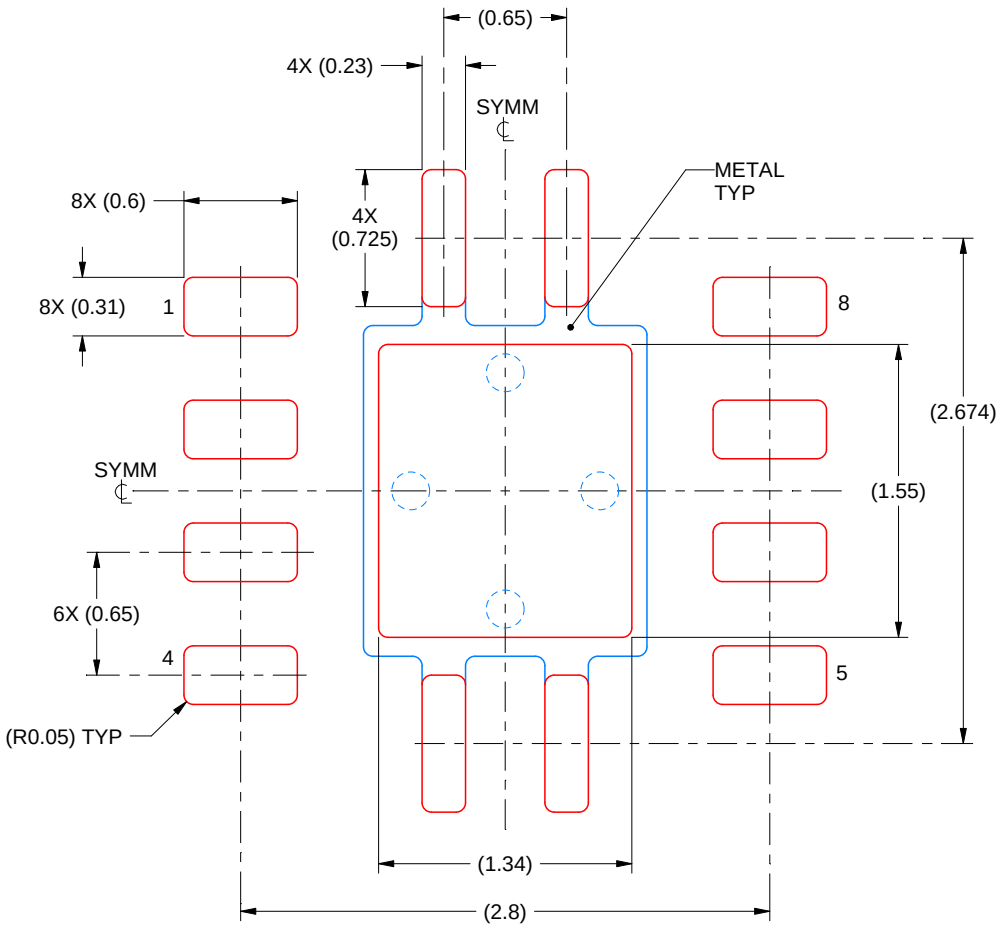


SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218875/A 01/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月